



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: March 22, 2000

Application Number: Japanese Patent Application
No. 2000-080022

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE
CORPORATION

March 2, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3013419

日 本 国 特 許 庁

PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

2000年 3月22日

出 願 番 号

Application Number:

特願2000-080022

出 願 人

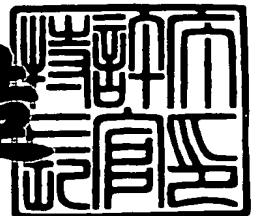
Applicant(s):

日本電信電話株式会社

2001年 3月 2日

特許庁長官
Commissioner,
Patent Office

及 川 耕 造



出証番号 出証特2001-3013419

【書類名】 特許願

【整理番号】 NTTH117048

【提出日】 平成12年 3月22日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 27/00

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

 【氏名】 青山 一生

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

 【氏名】 澤田 宏

【発明者】

 【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

 【氏名】 名古屋 彰

【特許出願人】

 【識別番号】 000004226

 【氏名又は名称】 日本電信電話株式会社

【代理人】

 【識別番号】 100087446

 【弁理士】

 【氏名又は名称】 川久保 新一

【手数料の表示】

 【予納台帳番号】 009634

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9701402

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 論理関数機能再構成可能な集積回路およびその設計方法

【特許請求の範囲】

【請求項1】 基板上に第1の導電型の半導体領域を有し、上記半導体領域内に設けられている第1の導電型とは異なる第2の導電型の半導体であるソース領域とドレイン領域とを有し、上記ソース領域とドレイン領域とを隔てる領域の上に、絶縁膜を介して設けられている電氣的にフローティング状態とみなせる状態をとることが可能であるフローティングゲート電極を有し、上記フローティングゲート電極と絶縁膜とを介して、容量結合する複数のゲート電極を有する半導体装置を、ニューロンMOSトランジスタと呼び、

また、上記ニューロンMOSトランジスタにおけるフローティングゲート電極が、所定の電位を有する端子に、導通と遮断または電氣的に高インピーダンスとの2つの状態をとり得る素子を介して接続されている半導体装置を、スイッチ付ニューロンMOSトランジスタと呼び、

上記ニューロンMOSトランジスタ、上記スイッチ付ニューロンMOSトランジスタにおける複数のゲート電極の中で、入力変数が入力されるゲート電極と上記フローティングゲート電極との間の容量を、入力変数用入力ゲート容量と呼び、

上記入力変数用入力ゲート容量について、その容量値の小さい順に番号を付け、入力変数の数 k を用い、上記各容量値のうちで最も小容量である最小容量値を基準にした容量比を、容量比の集合 $\{w_1, w_2, \dots, w_i, \dots, w_k\}$ によって表し、

上記容量比の集合における重なりのない要素で構成される任意の数の要素の和が互いに異なるように設計されているニューロンMOSトランジスタ、またはスイッチ付ニューロンMOSトランジスタを有することを特徴とする論理関数機能再構成可能な集積回路。

【請求項2】 請求項1において、

上記ニューロンMOSトランジスタ、スイッチ付ニューロンMOSトランジスタは、 i 番目の入力変数用入力ゲート容量の比 w_i が

【数 1】

$$w_i > \sum_{j=1}^{i-1} w_j, \quad (2 \leq i \leq k)$$

を満たすトランジスタであることを特徴とする論理関数機能再構成可能な集積回路。

【請求項 3】 請求項 2 において、

上記ニューロンMOSトランジスタ、スイッチ付ニューロンMOSトランジスタは、上記入力変数用入力ゲート容量の比 w_i が、 $w_i = z^{i-1}$ であり、 $1 \leq i \leq k$ 、 $z \geq 2$ の正数であるという条件を満たすトランジスタであることを特徴とする論理関数機能再構成可能な集積回路。

【請求項 4】 請求項 1 において、

上記ニューロンMOSトランジスタ、スイッチ付ニューロンMOSトランジスタは、上記入力変数用入力ゲート容量の比 w_i が、 $w_i = \alpha^{i-1}$ であり、 $1 \leq i \leq k$ 、 $1 < \alpha < 2$ の正数であるという条件を満たすトランジスタであることを特徴とする論理関数機能再構成可能な集積回路。

【請求項 5】 請求項 2 において、

上記ニューロンMOSトランジスタ、スイッチ付ニューロンMOSトランジスタは、入力変数用入力ゲート容量比 $w_i = \alpha^{i-2} \cdot (1 + \beta)$ であり、 $2 \leq i \leq k$ 、 $\alpha > 1$ の正数、 $0 < \beta < 1$ であるという条件を満たすトランジスタであることを特徴とする論理関数機能再構成可能な集積回路。

【請求項 6】 請求項 5 において、

上記ニューロンMOSトランジスタ、スイッチ付ニューロンMOSトランジスタは、入力変数用入力ゲート容量比 $w_i = 2^{i-2} \cdot (1 + \beta)$ であり、 $2 \leq i \leq k$ 、 $0 < \beta < 1$ であるという条件を満たすトランジスタであることを特徴とする論理関数機能再構成可能な集積回路。

【請求項 7】 請求項 1 ～ 請求項 6 のいずれか 1 項において、

上記ニューロンMOSトランジスタ、または上記スイッチ付ニューロンMOSトランジスタを含む2段論理の回路のうちで、1段目のニューロンMOSインバータ、または上記スイッチ付ニューロンMOSトランジスタであるプリインバータを有し、

上記プリインバータは、入力信号からみた場合、2つ以上の閾値を有するプリインバータであることを特徴とする論理関数機能再構成可能な集積回路。

【請求項8】 請求項7において、

上記閾値を制御する複数の2値制御信号が入力される端子を有し、

上記複数の2値制御信号によって、上記2つ以上の閾値を決定することを特徴とする論理関数機能再構成可能な集積回路。

【請求項9】 請求項7において、

閾値を制御する制御信号が入力される1つの制御信号端子を有し、上記1つの制御信号端子から入力される多値信号、またはアナログ信号によって、上記2つ以上の閾値を決定することを特徴とする論理関数機能再構成可能な集積回路。

【請求項10】 ニューロンMOSトランジスタ、またはスイッチ付ニューロンMOSトランジスタを用いたインバータ回路を、ニューロンMOSインバータと呼び、

上記ニューロンMOSインバータによって構成された2段論理の集積回路における1段目を、プリインバータと呼び、上記2段論理の集積回路における2段目を、メインインバータと呼び、

上記メインインバータと上記プリインバータとの両方において、第1の入力信号のベクトル表現である入力ベクトルを識別できるように、上記第1の入力信号に対する入力ゲート電極と、フローティングゲートとの間の容量である入力ゲート容量の値を設定する段階と；

上記メインインバータにおいて、各入力ベクトルに対して、所定の1つのプリインバータからの出力信号の論理的値が、1または0であるときにおける2つの異なるフローティングゲート電位が、上記フローティングゲートからみた閾値電位であるフローティング閾値電位に対して、大小の異なる2つの値をとるように、上記プリインバータの出力信号が入力される入力ゲート電極と、上記フローテ

ィングゲートとの間の入力ゲート容量の値を設定する段階と；

上記プリインバータにおいて、各プリインバータが対応づけられている入力ベクトルの入力電荷量をはさみ、最隣接の他の入力ベクトルの入力電荷量を越えない2つの異なる入力電荷量において、上記フローティングゲート電位が、フローティングゲート閾値電位に等しくなるように、第2の入力信号を入力する入力ゲート電極とフローティングゲートとの間の入力ゲート容量の値を設定する段階と；

を有することを特徴とする論理関数機能再構成可能な集積回路の設計方法。

【請求項11】 ニューロンMOSトランジスタ、またはスイッチ付ニューロンMOSトランジスタを用いたインバータ回路を、ニューロンMOSインバータと呼び、

上記ニューロンMOSインバータによって構成された2段論理の集積回路における1段目を、プリインバータと呼び、上記2段論理の集積回路における2段目を、メインインバータと呼び、

上記メインインバータと上記プリインバータとの両方において、第1の入力信号のベクトル表現である入力ベクトルを識別できるように、上記第1の入力信号に対する入力ゲート電極とフローティングゲートとの間の容量である入力ゲート容量の値を設定する段階と；

上記メインインバータにおいて、各入力ベクトルのときに、第1の入力信号端子と上記フローティングゲートとの間の入力ゲート容量に蓄積される入力電荷量を、小さい順に並べた場合における入力ベクトルを、小さい順に4つを1つの単位であるブロックに分ける段階と；、

上記各ブロック内の4つの入力ベクトルに対して、3つの上記プリインバータの出力信号の論理的値の組み合わせによって、上記フローティングゲートからみた閾値電位であるフローティング閾値電位に対して、大小の異なる2つの値をとるように、上記プリインバータの出力信号が入力される入力ゲート電極とフローティングゲートとの間の入力ゲート容量の値を設定する段階と；

上記プリインバータにおいて、各プリインバータが対応づけられている入力ベクトルの入力電荷量をはさみ、最隣接の他の入力ベクトルの入力電荷量を越えな

い2つの異なる入力電荷量において、上記フローティングゲート電位が、フローティングゲート閾値電位に等しくなるように、第2の入力信号を入力する入力ゲート電極とフローティングゲートとの間の入力ゲート容量の値を設定する段階、またはさらに多値表現の物理的な多値の値を決める段階と；

を有することを特徴とする論理関数機能再構成可能な集積回路の設計方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、しきい論理を実現する素子で構成されている回路と、その設計とに係り、特に、しきい論理を容易に実装することが可能であるニューロンMOSトランジスタを有する集積回路において、論理関数機能を実現する集積回路の設計方法と、論理関数機能を有する集積回路とに関するものである。

【0002】

【従来の技術】

デバイス製造後に論理機能の書き換えが可能である、FPGA (Field Programmable Gate Array) に代表される再構成可能デバイスを用いたりコンフィギュラブルコンピューティングシステム (RCS=Reconfigurable Computing System) の研究開発が行なわれている。上記リコンフィギュラブルコンピューティングシステム (RCS) は、文献1「末吉敏則、Reconfigurable Computing Systemの現状と課題—Computer Evolutionへ向けて—、信学技報、VLD96-79、CPSY96-91、pp.111-118、1996-12」に示されている。

【0003】

研究開発が進む様々なRCSにおいて、論理機能の再構成を可能にするデバイス部分は、FPGAのような再構成可能デバイスと、メモリ回路とであり、これらの再構成可能デバイスの基本構造についても、多種の提案がなされている。

【0004】

従来、再構成可能デバイスは、製品のプロトタイピングや、多品種少量生産を

必要とするASICの代替品として、主に利用されていた。この利用方法においては、システムに組み込む前または、組み込んだ後に一度、必要となる機能を構成することで十分であった。この要求に答える再構成可能デバイスの可変論理部における基本デバイスとしては、主に次のようなデバイスがある。

【0005】

図21は、従来のLUT (Look-Up Table) 型の可変論理部の構成を示す図である。

【0006】

第1の例は、図21に示す真理値表を直接実装するLUT (Look-Up Table) 型であり、メモリ回路のアドレスに、論理関数の入力変数の組合せである入力ベクトルを対応させ、メモリ回路に保持されている値を出力値とする例である。メモリ回路としては、主にSRAM (Static RAM) が使用されている。

【0007】

図22は、従来のマルチプレクサ (MUX) 型の可変論理部の構成を示す図である。

【0008】

第2の例は、図22に示すように、シャノン展開による論理表現を実装するマルチプレクサ (MUX、Multiplexer) 型である。

【0009】

第2の例は、マルチプレクサの制御入力に論理変数を対応させ、シャノン展開に基づき、論理関数を実現するものである。一般的には、マルチプレクサの多段接続で構成される。多段接続によって増大する信号伝搬遅延時間を抑制するために、低抵抗であるアンチフィーズによる配線の接続、非接続によって実現される。しかし、一度アンチフィーズによる接続をした後に論理機能を変更することは困難であるという特徴がある。

【0010】

図23は、PLA型の可変論理部の構成を示す図である。

【0011】

第3の例は、図23に示すように、論理関数をAND-ORの論理和形等で表

現するP L A (Programable Logic Array) 型である。

【0012】

第3の例は、E P R O M や E E P R O M による変数の入力線と積項線との接続、非接続によって、論理可変性を実現する。一般的には、多変数のワイヤードA N D を行うプログラマブルなA N D 平面と、積項線と出力線とを固定的に接続したO R 平面とによって構成されている。E P R O M へのデータの書き込みは、高エネルギーの電子のアバランシェ注入によって行われ、その消去は、紫外線によって行われる。また、E E P R O M への書き込みと消去とは、電流量の小さいトンネル電流で行われる。この特徴のために、いずれのデータ保持用デバイスにおいても、論理機能を再構成するために要する時間は、他の記憶デバイスまたは回路を用いた場合と比較して、非常に長い。

【0013】

これらのデバイスの中で、R C S の機能をさらに向上する条件の1つである論理機能の再構成に要する時間が短いという条件を満たすのは、第1の例に示したS R A M のような書き換え速度の速いメモリ回路や、S R A M 以外にはラッチ回路または、D R A M のような回路を用いたL U T 型である。

【0014】

この書き換えの高速性という特徴を用いた再構成可能デバイスの代表的例として、D P G A (Dynamically Programmable Gate Array) や、可変論理部であるL U T がラッチ回路によって構成されたD R L E (Dynamically Reconfigurable Logic Engine) がある。

【0015】

なお、上記D P G A は、文献2「Andre DeHon, DPGA-Coupled Microprocessors: Commodity ICs for the Early 21st Century, Proceedings of the IEEE Workshop on FPGAs for Custom Computing Machines, April, 1994」に記載されている。また、上記D R L E は、文献3「T. Fujii, et al., A Dynamically Reconfigurable Logic Engine with a Multi-Context/Multh-Mode Unified-Cell Architecture, ISSCC99, WA 21.3 pp. 360-361, 1999」に記載されている。

【0016】

しかし、LUT型の可変論理部は、真理値表が直接回路に実装されるので、ある特別な性質を有する論理関数のみを使用する場合においても、全ての論理関数を表現する可変論理部を設ける必要があり、 k 入力変数の可変論理部に実装回路として 2^k 個のメモリセルが必要である。したがってLUT型の可変論理部は、面積コストが高いという問題がある。

【0017】

この問題を解決する手段として、論理LSIの演算部（または、データパス部）において実行される算術演算等で、高頻度で使用される対称関数のみを実現する回路と、制御部において多用されるセレクタ回路と、上記2つの回路の機能を補完する意味で全ての論理関数を実現する回路とを、各々低面積コストで実現し、組み合わせた形で実装する方法が考えられる。

【0018】

このように、複数の基本機能を組み合わせて再構成可能デバイスの基本単位とすることは、従来の再構成可能デバイスにおいては、基本単位が複数のLUTから構成されることに匹敵する。一般的に、現実の再構成可能デバイスの可変論理部の基本単位はこのように構成されている。

【0019】

また、LUT型とPLA型のように、互いに異なる特徴を有するデバイスを組み合わせて1つの可変論理部の基本単位にする方法も提案されている。たとえば、文献4「A. Kaviani and S. Brown, The Hybrid Field-Programmable Architecture, IEEE Design & Test of Computers, pp.74-83, April-June, 1999」に開示されている。

【0020】

しかし、特殊な性質を有する関数機能のみを実現することは、従来の再構成可能デバイスでは困難である。

【0021】

一方、文献5「青山一生、澤田宏、名古屋彰、中島和生、ニューロンMOSによる対称関数回路の設計手法、信学技法、CPSY99-90, pp.49-56, 1999-11」に示されているように、従来の再構成可能デバイスとは、論理を変える原理が異なる

再構成可能デバイスである、しきい論理を容易に実装可能なニューロンMOSトランジスタで構成されたニューロンMOS回路によって、対称関数機能を実現することができる。

【0022】

図24は、従来のニューロンMOSトランジスタを用いたCMOS型インバータの構造を示す図であり、図24(1)は、レイアウト図、図24(2)は、図24(1)に記載のX-X'での断面図、図24(3)は、n入力相補型ニューロンMOSインバータ(ニューロンMOSインバータと略す)の回路図である。

【0023】

ここで、「ニューロンMOSトランジスタ」は、図24に示すように、MOSトランジスタのソース領域とドレイン領域とを隔てる領域の上に、フローティングゲートを持ち、そのフローティングゲートとの間で容量結合を持つ複数の入力ゲートとを持つトランジスタである。

【0024】

このニューロンMOSトランジスタは、文献6「Tadashi Shibata and Tadahi ro Omi, A Functional MOS Transistor Featuring Gate-Level Weighted Sum and Threshold Operations, IEEE Transactions on Electron Devices, Vol. 39, No. 6, pp. 1444-1445, 1992」に開示されている。

【0025】

図25は、従来のニューロンMOSトランジスタを用いたCMOS型インバータ(ニューロンMOSインバータ)の回路図であり、図25(1)は、トランジスタ記号によって記述された図、図25(2)は、論理記号によって記述された図である。

【0026】

次に、図25に示すニューロンMOSインバータを例にとり、インバータ動作について具体的に説明する。

【0027】

n個の入力端子の各々から入力される信号電位を V_i 、各入力端子とフローティングゲートとの間の入力ゲート容量の値を C_i 、フローティングゲートと、N

MOSFET、PMOSFETのソース、ドレイン、基板（ウェル）端子との間の容量の値の総和を $\sum C_{nmos} + \sum C_{pmos}$ とした場合、次の式（1）

【0028】

【数2】

$$\sum_{i=1}^n C_i \gg \sum C_{nmos} + \sum C_{pmos} \quad \cdots \text{式 (1)}$$

が成り立つと、各入力ゲート容量に蓄積する電荷量の総和 Q_f は、

【0029】

【数3】

$$Q_f = \sum_{i=1}^n C_i \cdot V_i$$

であり、フローティングゲート電位 V_{fg} は、各入力ゲート容量に蓄積する電荷量の総和 Q_f にほぼ比例し、次の式（2）で表される。

【0030】

【数4】

$$V_{fg} \sim \frac{\sum_{i=1}^n (C_i \cdot V_i)}{\sum_{i=1}^n C_i} \quad \cdots \text{式 (2)}$$

フローティングゲート電位 V_{fg} が、ニューロンMOSインバータのフローティングゲートからみた閾値電位 V_{fth} に対して大きければ、ニューロンMOSインバータの出力信号電位 V_{out} は、閾値電位 V_{fth} に対するフローティングゲート電位 V_{fg} の論理的反転の電位になる。

【0031】

上記のように、ニューロンMOSインバータは、「しきい処理」を行うある種の「しきい素子」である。つまり、ニューロンMOSインバータは、全ての入力信号に対する V_i と C_i との積和演算の結果である Q_f と、ほぼ比例の関係にある

フローティングゲート電位 V_{fg} を、閾値電位 V_{fth} によって「しきい処理」を行うある種の「しきい素子」である。

【0032】

次に、入力信号が2値である場合について説明する。

【0033】

入力信号電位 V_i が、2つの安定な電位 $\{0, V_{dd}\}$ をとり、入力ゲート容量値 C_i を、その最も小さい値によって規格化した値である入力ゲート容量比 w_i を用いて、 $C_i = C \cdot w_i$ とした場合、各入力ゲート容量に蓄積する電荷量の総和 Q_f は次の式(3)、式(4)で表される。

【0034】

【数5】

$$Q_f = C \sum_{i=1}^n x_i \cdot w_i \quad \dots \text{式(3)}$$

$$x_i = \frac{V_i}{V_{dd}} = \begin{cases} 1 & (V_i = V_{dd}) \\ 0 & (V_i = 0) \end{cases} \quad \dots \text{式(4)}$$

ニューロンMOSインバータの出力信号を、 V_{out} とし、 $V_{out} \geq V_{fth}$ の電位を、 V_{high} で表現し、 $V_{out} < V_{fth}$ の電位を、 V_{low} で表現する。このときに、ニューロンMOSインバータの出力信号 V_{out} と、各入力ゲート容量に蓄積する電荷量の総和 Q_f との関係は、次の式(5)、式(6)で表される。

【0035】

【数6】

$$V_{fg} \sim \frac{1}{\sum_{i=1}^n w_i} \cdot \left(\sum_{i=1}^n x_i \cdot w_i \right) \quad \dots \text{式(5)}$$

$$V_{out} = \begin{cases} V_{high} & (V_{fg} < V_{fth}) \\ V_{low} & (V_{fg} \geq V_{fth}) \end{cases} \quad \dots \text{式(6)}$$

このように、入力信号として $\{0, V_{dd}\}$ の 2 値を用いた場合は、 $x_i = 1$ を入力とする入力ゲート容量の容量比の和

【0036】

【数 7】

$$\left(\sum_{i=1}^n x_i \cdot w_i \right)$$

と V_{fth} とによって、ニューロン MOS インバータの出力信号値が決まる。

【0037】

以上、ニューロン MOS インバータの動作について説明した。

【0038】

次に、上記のニューロン MOS トランジスタと、ニューロン MOS トランジスタとを用いた回路に関する公知技術について説明する。

【0039】

ニューロン MOS トランジスタおよび、それを用いた回路の研究開発が近年盛んになされているが、再構成可能デバイスを対象とした報告は少ない。代表的な例としては、文献 7 「Tadashi Shibata, et al., Real-Time Reconfigurable Logic Circuits Using Neuron MOS Transistors, ISSCC93, FA 15.3, pp. 238-239, 1993」がある。この文献においては、全ての論理関数を実現する回路を作製したという報告がなされているが、回路の設計手法および、回路構成上の特徴に関して、報告されていない。

【0040】

また、ニューロン MOS 回路による再構成デバイスを設計する際に重要な因子の 1 つである、入力ゲート電極とフローティング電極との容量の値に関するニューロン MOS トランジスタの構造に関しては、特開平 3-6679 号公報において、その基本構造が開示されている。

【0041】

上記公開公報においては、上記入力ゲート電極とフローティングゲート電極との間の容量の値は、文献 8 「W. S. McCulloch and W. A. Pitts, A Logical Cal

culus of the Ideas Immanent in Neural Nets, Bull. Math. Biophys., Vol. 5, pp. 115-133, 1992」に記載されているニューロンモデルの重み係数、またはニューロンMOSトランジスタをソースフォロワ型の回路に適用し、D-A (Digital-Analog) 変換器を作製する際の重み係数として位置付けられ、再構成可能デバイスにおける入力の状態を識別する因子としての発想は示されていない。

【0042】

【発明が解決しようとする課題】

上記背景において、ニューロンMOS回路による再構成デバイスの可変論理部中に、対称関数機能を実現する回路と、非対称関数を含む全ての論理関数機能を実現する低面積コストの回路とを組み合わせるために、その回路構成とその設計手法との開発が望まれている。

【0043】

本発明は、論理関数の中の対称関数のみならず、任意のk入力変数論理関数を、ニューロンMOS回路を用いて、効率的に実現する方法および本方法を用いて設計した論理関数機能を有するニューロンMOS回路を提供することを目的とするものである。

【0044】

【課題を解決するための手段】

本発明の論理関数機能再構成可能な集積回路は、k個の入力変数のそれぞれに対する重みを所定の方法で決定することによって、各入力ベクトルを識別することができ、2値の論理関数機能構成データを使用する際には、各入力ベクトルに対して、1対1対応するプリインバータを決め、その対応するプリインバータの出力信号の論理的値と、論理関数機能構成データである第2の入力信号の論理的値とを対応づけ、一方、プリインバータの出力信号の論理的値と、メインインバータの出力信号の論理的値とを1対1対応させることによって、任意の論理関数機能を実現するものである。

【0045】

また、1つのプラインバータに対して、1つではなく複数の2値の第2の入力信号を入力することによって、すなわち、論理関数機能構成データを多値表現することによって、プラインバータの数を、入力ベクトルの数 2^k よりも少なくすることができる。

【0046】

多値表現として2値を用いず、直接多値電位を用いることによって、1つのプラインバータに対して1つの多値電位を信号とする第2の入力信号を入力し、これによって、上記と同様の効果を得ることができる。

【0047】

【発明の実施の形態および実施例】

〔アウトライン〕

2値を入力変数とする任意の k 入力変数論理関数を、集積回路上で実現するためには、集積回路が以下の2つの条件を満たす必要がある。

条件(1)：入力変数の組み合わせに対応する異なる 2^k 個の状態を持つ。

条件(2)： 2^k 個の状態のそれぞれに対して、2値のいずれか一方を設定できる仕組みを持つ。

【0048】

図25に示す従来のニューロンMOSインバータによって、上記集積回路が構成されている場合、上記条件(1)は、「従来の技術」で説明したように、「フローティングゲートの電位 V_{fg} が異なる 2^k 個の値を持つ」ことであり、上記式(5)中の

【0049】

【数8】

「 $\sum_{i=1}^k x_i \cdot w_i$ が異なる 2^k 個の値を持つ」

ことである。

【0050】

本発明の各実施例は、上記2つの条件を満たすようにするために、以下のよう
に構成されている。

【0051】

〔第1の実施例〕

本発明の第1の実施例は、上記条件(1)である

【0052】

〔数9〕

「 $\sum_{i=1}^k x_i \cdot w_i$ が異なる 2^k 個の値を持つ」

ような、重みベクトルWの要素 w_i の決定方法と、その方法を実装したニューロ
ンMOSインバータである。

【0053】

第1の実施例は、ニューロンMOSインバータ上に 2^k 個の状態を作る際の指
針を開示したものである。

【0054】

〔第2の実施例〕

本発明の第2の実施例は、上記第1の実施例における重みベクトルWの要素 w_i
の決定方法を、より具体化し、定式化した方法である。第2の実施例は、ニュー
ロンMOSインバータ上に 2^k 個の状態を作る際の指針を開示したものである

【0055】

〔第3の実施例〕

本発明の第3の実施例は、第1の実施例における重みベクトルWの要素 w_i の
最小値に制限がある場合に、

【0056】

【数 1 0】

$$\sum_{i=1}^k w_i$$

がより小さくなるような要素 w_i の決定方法である。ニューロン MOS インバータに実装する際に、

【 0 0 5 7】

【数 1 1】

$$\sum_{i=1}^k w_i$$

は入力ゲート電極の面積に相当し、第 3 の実施例は、上記条件 (1) を満たすニューロン MOS インバータを低面積コストで実現する方法である。

【 0 0 5 8】

【第 4 の実施例】

本発明の第 4 の実施例は、第 1 の実施例～第 3 の実施例のいずれか 1 つについて、条件 (1) を満たし、また条件 (2) における「仕組み」を実現するために、従来技術で紹介した文献 5 に開示されている対称関数回路を設計する方法を、任意の論理関数の実現する回路を設計する方法に拡張した方法であり、またその方法を用いて設計した集積回路の構成である。つまり、第 4 の実施例は、任意の論理関数機能を再構成することが可能な集積回路の設計方法と回路構成である。

【 0 0 5 9】

【第 5 の実施例】

本発明の第 5 の実施例は、上記第 1 の実施例～第 3 の実施例のいずれか 1 つを用いることによって、上記条件 (1) を満たし、上記条件 (2) に挙げた「仕組み」を実現する際に、「仕組み」の制御を多値表現の信号で行う集積回路の設計方法と、回路構成とである。上記第 5 の実施例は、上記第 4 の実施例よりも低面積コストで、同機能を得ることができる集積回路とその設計方法である。

【 0 0 6 0】

【第 6 の実施例】

上記第 5 の実施例が、物理的なレベルにおいて、複数の 2 値信号によって多値を表現するのに対して、本発明の第 6 の実施例は、物理的レベルで多値信号を使用する場合における回路構成である。第 6 の実施例は、第 5 の実施例よりも低面積コストで、同機能を得ることができる。

【0 0 6 1】

次に、上記各実施例について、具体的に説明する。

【0 0 6 2】

(第 1 の実施例)

本発明の第 1 の実施例は、「 2^k 個の入力変数 x_i の組み合わせを識別できる要素 w_i を決める方法」と「入力ベクトルを識別できる重みベクトルのニューロン MOS インバータへの実装」とによって構成されている。

【0 0 6 3】

「 2^k 個の入力変数 x_i の組み合わせを識別できる要素 w_i の決め方」

上記の条件 (1) である

【0 0 6 4】

【数 1 2】

「 $\sum_{i=1}^k x_i \cdot w_i$ が異なる 2^k 個の値を持つ」

は、「 2^k 個存在する入力変数の組み合わせを識別できる」ことである。初めに、「入力変数の組み合わせ」と「識別できる」の定義について、入力変数が $\{x_1, x_2, x_3\}$ の 3 変数である場合を例にとって、具体的に説明する。

【0 0 6 5】

「入力変数の組み合わせ」は、たとえば 3 つの入力変数のそれぞれが、論理的に 1, 0 の 2 値をとる場合、これらの組み合わせは、 $\{0, 0, 0\}$ 、 $\{0, 0, 1\}$ 、 $\{0, 1, 0\}$ 、…、 $\{1, 1, 1\}$ であり、 2^3 個存在し、この 2^3 個の組み合わせを、「入力変数の組み合わせ」という。

【0 0 6 6】

次に、「入力変数の組み合わせを識別できる」ことについて説明する。

【0067】

また、上記組み合わせは、3つの入力変数に対して、互いに直交する座標を設定した場合、3次元空間における3次元立方体の頂点座標のベクトル表現である。以降、このベクトルを「入力ベクトルX」と呼ぶ。また、任意の正数を要素とする(w_1, w_2, w_3)を、「重みベクトルW」と呼ぶ。入力ベクトルXと重みベクトルWとを用いて、

【0068】

【数13】

$$\left[\sum_{i=1}^3 x_i \cdot w_i \right]$$

について、次の式(7)に示すように、内積を用いてベクトルをスカラに変換することができる。

【0069】

【数14】

$$\sum_{i=1}^3 x_i \cdot w_i = X \cdot W \quad \dots \text{式(7)}$$

この表現を用いて換言すれば、「入力変数の組み合わせを識別できる」とは、「入力ベクトルと重みベクトルとの内積の結果であるスカラが互いに異なること」である。

【0070】

ここで、入力ベクトルXは、 $\{0, 1\}$ の2値であるので、スカラが互いに異なるためには、 $\{w_1, w_2, w_3\}$ の重なりのない要素で構成される任意の数の要素の和が、互いに異なる必要がある。すなわち、 $w_1 \neq w_2 \neq w_3$ であり、 $w_1 + w_2 \neq w_2 + w_3 \neq w_3 + w_1$ である必要がある。具体的な例として、重みベクトル $W = (2^0, 2^1, 2^2)$ であるとする、入力ベクトルXを2進表現とみなし、内積によって2進表現から10進表現に変換する場合がある。この場合、8つの

入力ベクトルは、0から7までの異なる整数に変換される。

【0071】

次に、「スカラが互いに異なる」ようにできる重みベクトル W が、2のべき乗の要素で構成されるベクトルだけでなく、多数存在する点について説明する。

【0072】

要素が小さい順に番号づけられている重みベクトル W を考え、 $k=4$ を例にとると、「スカラが互いに異なる」ためには、 $w_4 > w_3 > w_2 > w_1$ 、 $w_3 \neq w_1 + w_2$ 、 $w_4 \neq w_1 + w_3$ 、 $w_4 \neq w_2 + w_3$ 、 $w_4 \neq w_1 + w_2 + w_3$ 、 $w_4 + w_1 \neq w_3 + w_2$ である必要がある。

【0073】

これを満たす具体例は、 $(w_1, w_2, w_3, w_4) = (1, 1, 1, 1, 2, 1, 4)$ 、 $(w_1, w_2, w_3, w_4) = (1, 1, 2, 1, 4, 1, 7)$ 、 $(w_1, w_2, w_3, w_4) = (1, 4, 6, 8)$ 、 $(w_1, w_2, w_3, w_4) = (1, 3, 9, 27)$ 等である。

【0074】

上記説明を、 k 個の要素によって構成される入力ベクトルの場合について言えば、 k 個の要素の入力ベクトルを識別できるようにする場合、「 $\{w_1, w_2, \dots, w_i, \dots, w_k\}$ 」の中の重なりのない要素で構成される任意の数の要素の和が互いに異なる」必要があると言える（〔請求項1〕に対応）。

【0075】

〔入力ベクトルを識別できる重みベクトルのニューロンMOSインバータへの実装〕

上記従来技術で説明したように、上記重みベクトルの要素 w_i は、ニューロンMOSインバータにおいて、各入力変数に対応する入力ゲート電極とフローティングゲートとの間の入力ゲート容量の容量比に相当する。したがって、ニューロンMOSインバータにおいて、重なりのない要素で構成される任意の数の入力ゲート容量比の和が互いに異なるようにすることによって、入力ベクトルを識別することができる。

【0076】

(第 2 の実施例)

本発明の第 2 の実施例は、まず初めに、任意の数の要素の入力ベクトルを識別できることが予め保証される条件と、その条件を満たす重みベクトルとを示し、次に、入力変数の数に制限を加えることによって、入力ベクトルを識別できることが保証される重みベクトルを示し、最後に、上記重みベクトルをニューロン MOS インバータへ実装する実施例である。

【0077】

つまり、上記第 2 の実施例は、「第 1 の実施例の重みベクトルを決める方法に制限を加えた条件の提示」と、「制限を加えた条件を満たす重みベクトルの集合」と、「入力変数の数に制限を加えた場合の重みベクトルの集合」と、「ニューロン MOS インバータへの実装」とによって、構成されている。

【0078】

[第 1 の実施例の重みベクトルを決める方法に制限を加えた条件]

重みベクトル W の k 個の要素の値を小さい順に、 $\{w_1, w_2, \dots, w_i, \dots, w_k\}$ とすると、 i 番目の要素 w_i を、次の式 (8) を満たすように設定する。

【0079】

【数 15】

$$w_i > \sum_{j=1}^{i-1} w_j \quad (1 < i < k) \quad \dots \text{式 (8)}$$

上記式 (8) は、第 1 の実施例で示した条件よりも強い制限条件であり、任意の数の要素を持つ入力ベクトルを識別できることを保証している（〔請求項 2〕に対応）。

【0080】

[制限を加えた条件を満たす重みベクトルの集合]

次に、上記式 (8) を満たす重みベクトル W の要素 w_i を具体的に示す。

【0081】

まず、上記式 (8) を、次の式 (9) に変形する。

【0082】

【数16】

$$f(i) = w_{i+1} - \sum_{j=1}^i w_j > 0 \quad \dots \text{式(9)}$$

$$(1 \leq i < k-1)$$

上記式(9)を満たす解の1つである $w_i = \alpha^{i-1}$ ($\alpha > 1$) であるときに、上記式(9)は、次の式(10)で表される。

【0083】

$$f(\alpha, i) = g(\alpha, i) / (\alpha - 1) \quad (1 \leq i \leq k-1) \quad \dots \text{式(10)}$$

$$g(\alpha, i) = \alpha^i \cdot (\alpha - 2) + 1 \quad \dots \text{式(11)}$$

上記式(10)で表される関数 $f(\alpha, i)$ の符号は、 $\alpha > 1$ の条件から、関数 $g(\alpha, i)$ の符号と一致するので、関数 $f(\alpha, i)$ の符号判定は、関数 $g(\alpha, i)$ を用いて行うことができる。したがって、次の式(12)が成り立つときに、入力ベクトルを識別することができる。

【0084】

$$g(\alpha, i) = \alpha^i \cdot (\alpha - 2) + 1 > 0 \quad (1 \leq i \leq k-1) \quad \dots \text{式(12)}$$

また、 $g(\alpha, i)$ の α に関する1階微分を $g'(\alpha, i)$ と記述すると、 $i > 1$ において、次の式(13)が成り立つ。

【0085】

【数17】

$$\begin{cases} g'(1, i) < 0 \\ g'(2, i) > 0 \\ g(1, i) = 0 \\ g(2, i) = 1 > 0 \end{cases} \quad \dots \text{式(13)}$$

式(13)が成り立つので、関数 $g(\alpha, i)$ は、 $1 < \alpha < 2$ において、少なくとも1つの実根を持ち、 $\alpha \geq 2$ において、任意の i に対して常に正である。このために、次の式(14)を満たす重みベクトルを用いると、任意の数の要素を持つ入力ベクトルを識別することができる（〔請求項3〕に対応）。

【0086】

$$w_i = \alpha^{i-1} \quad (\alpha \geq 2) \quad \cdots \text{式 (14)}$$

〔入力変数の数に制限を加えた場合の重みベクトルの集合〕

上記式 (14) は、任意の数の要素を持つ入力ベクトルが、識別可能な重みベクトルを表しているが、 $1 < \alpha < 2$ であっても、 $g(\alpha, i) > 0$ である α が存在することは、 i すなわち、入力ベクトルの要素数 k に制限を加えることによって、入力ベクトルを識別できることを示している（〔請求項 4〕に対応）。

【0087】

図 6 は、 $i = 1, 2, 3, 4, 5$ である場合、 $0 \leq \alpha \leq 2$ である α と、 $g(\alpha, i)$ との関係を示す図である。

【0088】

$1 < \alpha < 2$ である場合に、 $g(\alpha, i) = 0$ の解は、 $i = 2, 3, 4, 5$ について、それぞれ、1. 6180、1. 8393、1. 9276、1. 9660 である。

【0089】

$i \leq k-1$ であるので、図 6 から、要素の数 $k = 2, 3, 4, 5, 6$ である場合、それぞれ、 $\alpha > 1$ 、 $\alpha > 1. 6180$ 、 $\alpha > 1. 8393$ 、 $\alpha > 1. 9276$ 、 $\alpha > 1. 9660$ であれば、式 (9) の条件を満たし、原理的には、入力ベクトルを識別できる。

【0090】

明らかに識別できる入力ベクトルに対する重みベクトルとして、 $(2^0, 2^1, \dots, 2^{i-1}, \dots, 2^{k-1})$ を用いた内積の結果であるスカラーを S_2 とする。また、上記重みベクトルと入力ベクトルとの内積の結果であるスカラーを S_α とする。

【0091】

図 7 は、 $\alpha = 1. 7, 1. 9, 2. 0, 2. 2$ である場合において、スカラー S_2 と、 α を用いたスカラー S_α との関係を示す図である。

【0092】

$\alpha \geq 2$ では、上記関数 $g(\alpha, i) > 0$ であり、図 7 に示す場合、スカラー S_α は、スカラー S_2 に対して、傾きが 0 になることのない単調増加関数である。したがって、上記の通り、全ての入力ベクトルに対するスカラー S_α の中で、等しい値

のものは存在しないので、入力ベクトルを互いに識別することができる。

【0093】

図6から、 $\alpha = 1.7$ 、 $\alpha = 1.9$ である場合、それぞれ $S_2 \leq 7$ 、 $S_2 \leq 15$ であれば、スカラ S_α がスカラ S_2 に対して、傾きが0になることのない単調増加関数であるので、入力ベクトルを識別できる。

【0094】

一方、上記範囲外であっても、 $S_2 \leq 31$ であれば、互いに等しい S_α が存在しない。この場合、式(8)を満たしていないが、入力ベクトルを識別できる第1の実施例に相当する（〔請求項1〕に対応）。

【0095】

〔ニューロンMOSインバータへの実装〕

上記方法を実回路に実装する場合、実際の容量の値は、製造バラツキ等の製造上の理由によって、上記式で説明した等式を必ずしも満たすとは言えない。また、設計時においても、有効数字の決め方や設計マージンの確保によって、上記説明における等式を必ずしも満たすとは言えない。しかし、このような製造上の理由による値のバラツキや設計時のマージン等の取り方等による値の相違がある場合であっても、上記実施例を適用することができる。すなわち、上記のように製造上の理由による値のバラツキや設計時のマージン等の取り方等による値の相違がある場合も、本発明に属することは明らかである。

【0096】

（第3の実施例）

本発明の第3の実施例は、従来技術で示した重みベクトルの要素の最小値 $C \cdot w_1$ に下限がある場合に、

【0097】

【数18】

$$\sum_{i=1}^k w_i$$

をできるだけ小さくし、入力ベクトルを識別できる重みベクトルを決める方法で

ある。

【0098】

この方法は、ニューロンMOSインバータにおいて、入力ゲート容量値の最小値に下限が存在する場合、入力ゲート容量値の総和をできるだけ小さくし、入力ベクトルを識別することができる入力ゲート容量比を決めることに相当する。

【0099】

[最小値が制限される場合の例と問題点]

最小の入力ゲート容量値に制限が課される場合とは、実回路に実装する際に、容量製造のプロセスにおける容量値のバラツキを抑制する場合等が、考えられる。第2の実施例において、最小容量値がある値によって制限されている場合、入力ゲート容量の比は、ある値のべき乗で増加するので、入力ゲート容量値の総和が非常に大きくなり、面積的コストが高くなるという問題がある。

【0100】

[べき乗の次数を下げる方法]

そこで、面積的コストを低くするためには、べき乗の次数を小さくすることが有効である。ここで、重みベクトルの要素を、値の小さい順に並べると、 $\{w_1, w_2, \dots, w_i, \dots, w_k\}$ であるとした場合、次の式(15)を満たすように、 i 番目の要素 w_i を設定する。ただし、 $\alpha > 1$ である（[請求項5]に対応）。

【0101】

【数19】

$$\begin{cases} w_i = 1 \\ w_i = \alpha^{i-2} \cdot (1 + \beta) \quad (1 < i \leq k-1) \end{cases} \quad \dots \text{式 (15)}$$

式(15)のように設定した場合、次の式(16)が成り立つ。

【0102】

【数20】

$$f'(i) = w_{i+1} - \sum_{j=2}^i w_j$$

$$f'(\alpha, \beta, i) = \left(\frac{1+\beta}{\alpha-1} \right) \cdot g'(\alpha, i) \quad (1 < i \leq k-1)$$

$$g'(\alpha, i) = \alpha^{i-1} \cdot (\alpha-2) + 1 \quad \dots \text{式 (16)}$$

第3の実施例は、第2の実施例と同様に、 $\alpha \geq 2$ の場合は、任意の i 、すなわち、任意の k において、 $f'(i) > 0$ となり、入力ベクトルを識別でき、 $1 < \alpha < 2$ であっても、 k を制限することによって、 $f'(i) > 0$ にすることもでき、入力ベクトルを識別できる。

【0103】

〔面積コストに対する効果〕

次に、上記第2の実施例における $w_i = \alpha^{i-1}$ の場合と、第3の実施例において、最小の入力ゲート容量値が制限され、ともに $w_1 = 1$ であり、 $\alpha = 2$ とした場合とにおける重みベクトルの要素の値の総和を、それぞれ $\text{Sum}_{(2)}$ 、 $\text{Sum}_{(3)}$ とすると、第2の実施例における重みベクトルの要素の値の総和 $\text{Sum}_{(2)}$ が、次の式(17)に示す値になり、第3の実施例における重みベクトルの要素の値の総和 $\text{Sum}_{(3)}$ は、次の式(18)に示す値になる（〔請求項6〕に対応）。

【0104】

$$\text{Sum}_{(2)} = 2^k - 1 \quad \dots \text{式 (17)}$$

$$\text{Sum}_{(3)} = 1 + (2^{k-1} - 1)(1 + \beta) \quad \dots \text{式 (18)}$$

したがって、総和 $\text{Sum}_{(2)}$ に対する総和 $\text{Sum}_{(3)}$ の比 η は、次の式(19)で表される。

【0105】

$$\eta = \{1 + (2^{k-1} - 1)(1 + \beta)\} / (2^k - 1) \quad \dots \text{式 (19)}$$

図8は、 $k = 2, 3, 4$ の場合において、重み変調係数 β と、総和 $\text{Sum}_{(2)}$ に対する総和 $\text{Sum}_{(3)}$ の比 η との関係を示す図である。

【0106】

すなわち、図8は、第3の実施例における面積コストの低減率を示す図である。 $\beta = 0.5$ では、面積コストが、要素の数 k に応じて多少変わるが、77%～83%程度に面積コストを低減することができる。

【0107】

[ニューロンMOSインバータへの実装]

上記方法を実回路に実装する場合、実際の容量の値は、製造バラツキ等の製造上の理由によって、上記式で説明した等式を必ずしも満たすとは言えない。また、設計時においても、有効数字の決め方や設計マージンの確保によって、上記説明の等式を必ずしも満たすとは言えない。しかし、このような製造上の理由による値のバラツキや設計時のマージン等の取り方等による値の相違がある場合であっても、上記実施例を適用することができる。すなわち、上記のように製造上の理由による値のバラツキや設計時のマージン等の取り方等による値の相違がある場合も、本発明に属することは明らかである。

【0108】

(第4の実施例)

本発明の第4の実施例は、第1～第3の実施例において説明した入力ベクトルを識別できる重みベクトル、すなわち、入力ゲート容量比の決め方によって、 k 個の要素を持つ 2^k 個の入力ベクトルに対して、2値のいずれか一方を設定できるようにした集積回路である。（[請求項10]に対応）

[用語の定義]

まず初めに、集積回路の動作を以下で説明する場合に頻繁に用いる用語の定義について説明する。つまり、図25に示すニューロンMOSインバータの動作を説明する用語を定義する。

【0109】

「フローティングゲート閾値電位」は、図25に示すニューロンMOSインバータの出力信号がフローティングゲート電位に対して論理反転をする場合における上記ニューロンMOSインバータのフローティングゲートの電位である。

【0110】

また、「最大フローティングゲート電位」は、入力信号が全て論理的に1であるときのフローティングゲート電位である。

【0111】

「規格化フローティングゲート電位 U_{fg} 」は、最大フローティングゲート電位で規格化したフローティングゲート電位である。

【0112】

「規格化フローティングゲート閾値電位 U_{fth} 」は、最大フローティングゲート電位で規格化したフローティングゲート閾値電位である。

【0113】

「入力電荷量 Q_i 」は、入力変数が入力される端子の入力ゲート容量に蓄積される電荷量である。

【0114】

「入力閾値電荷量 Q_{ith} 」は、規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} であるときにおける入力電荷量 Q_i である。

【0115】

[任意の論理関数を実現する集積回路の回路構成]

図1は、本発明の第1の実施例である論理関数機能再構成可能な集積回路IC1を示す構成図である。

【0116】

まず初めに、集積回路IC1の回路構成について説明する。

【0117】

k入力変数論理関数機能を実現する集積回路IC1は、図25に示すニューロンMOSインバータの2段論理で構成され、つまり、プリインバータ101と、メインインバータ100とによって構成されている。

【0118】

プリインバータ101は、1段目のニューロンMOSインバータであり、メインインバータ100は、2段目のニューロンMOSインバータである。

【0119】

プリインバータ 1 0 1 は、 2^k 個設けられている。

【 0 1 2 0 】

各プリインバータ 1 0 1 は、 k 個の入力変数が入力される第 1 の入力信号端子 $input1[1] \sim input1[k]$ に接続されている入力ゲート電極と、論理関数機能を構成するデータが入力される第 2 の入力信号端子 $input2[1] \sim input2[2^k]$ に接続されている入力ゲート電極の中の 1 つの入力ゲート電極と、プリインバータ 1 0 1 の入力信号からみた閾値を制御する電源またはグランドに代表される固定電位を有する端子に接続されている入力ゲート電極と、出力端子とを有する。

【 0 1 2 1 】

また、メインインバータ 1 0 0 は、 k 個の第 1 の入力信号端子に接続されている入力ゲート電極と、1 段目のプリインバータ 1 0 1 の出力端子に接続されている入力ゲート電極と、出力端子とを有する。

【 0 1 2 2 】

[メインインバータ 1 0 0 の設計]

[プリインバータ 1 0 1 に接続された容量比の決め方]

次に、集積回路 IC 1 のメインインバータ 1 0 0 において、プリインバータ 1 0 1 の出力端子に接続されている入力ゲート電極とフローティングゲートとの間の容量の比の設定方法について説明する。

【 0 1 2 3 】

ここで、要素の個数 $k = 3$ であり、入力ベクトルを識別できるようにするための重みベクトル、すなわち、第 1 の入力信号のための入力ゲート容量の比が、(1, 3, 5) であるとする。

【 0 1 2 4 】

図 2 は、上記実施例において、要素の個数 $k = 3$ であり、重みベクトルが (1, 3, 5) であるときに、メインインバータ 1 0 0 における入力電荷量 Q_i

【 0 1 2 5 】

【数 2 1】

$$Q_i = \sum_{i=1}^3 C_i \cdot V_i$$

と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【0 1 2 6】

図 2 において、横軸は、入力電荷量 Q_i を示し、縦軸は、規格化フローティングゲート電位 U_{fg} を示す。また、横軸には、各入力ベクトルの Q_i の位置に入力ベクトルを併記してある。また、図 2 中、 C_{total} は、全ての入力ゲート容量の値の総和である

【0 1 2 7】

【数 2 2】

$$\sum_{i=1}^3 C_i + \sum_{i=1}^8 C_{p[i]}$$

を示す。

【0 1 2 8】

初めに、規格化フローティングゲート閾値電位 U_{fth} を、 $1/2$ 程度に設定する。第 1 の入力信号が全て論理的に 1 であるときに、入力電荷量 Q_i が最大になる。このときの入力電荷量 Q_i による規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} を越えないようにする。

【0 1 2 9】

次に、入力電荷量 Q_i が最大である入力ベクトル $(x_3, x_2, x_1) = (1, 1, 1)$ のときに、 2^3 個設けられているプリインバータ 101 の中で、第 8 番目のプリインバータ 101 の出力信号だけが、論理的に 1 であるときの規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} よりも大きくなるように、プリインバータ 101 の出力端子に接続されている入力ゲート電極とフローティングゲートとの間の容量の値 C_{p8} を設定する。

【0 1 3 0】

ただし、入力ベクトル $(1, 1, 1)$ よりも 1 つ小さい入力電荷量を持つ入力ベクトル $(1, 1, 0)$ のときには、同じ入力信号の状態で規格化フローティングゲート電位 U_{fg} は、規格化フローティングゲート閾値電位 U_{fth} よりも小さいようにする。

【0131】

上記入力ベクトル $(1, 1, 1)$ と上記容量値 C_{p8} との場合と同様に、入力ベクトルが $(1, 1, 0)$ であるときに、第 7 番目と第 8 番目のプリインバータ 101 の出力信号のみが論理的に 1 であれば、規格化フローティングゲート電位 U_{fg} は、規格化フローティングゲート閾値電位 U_{fth} よりも大きくなり、入力ベクトルが $(1, 0, 1)$ であるときには、規格化フローティングゲート電位 U_{fg} は、規格化フローティングゲート閾値電位 U_{fth} よりも小さくなるように、第 7 番目のプリインバータ 101 に接続されている入力ゲート容量値 C_{p7} の値を設定する。

【0132】

上記と同様の方法で、入力電荷量が多い順に、入力ベクトル $(1, 0, 1)$ 、 $(1, 0, 0)$ 、 $(0, 1, 1)$ 、 $(0, 1, 0)$ 、 $(0, 0, 1)$ 、 $(0, 0, 0)$ に対応する入力ゲート容量値 C_{p6} 、 C_{p5} 、 C_{p4} 、 C_{p3} 、 C_{p2} 、 C_{p1} の値を設定する。

【0133】

上記の方法によって、 2^3 個のプリインバータ 101 の出力端子に接続されている入力ゲート容量の容量値を設定する。

【0134】

[任意の論理関数を実現できることの説明]

次に、上記方法によって設定された入力ゲート容量値を持つメインインバータ 100 が、任意の論理関数を実現することが可能である点について説明する。

【0135】

図 2 の横軸の入力電荷量 Q_i について、所定の入力ベクトルを挟む 2 つの入力ベクトルが存在する。つまり、所定の入力ベクトルについて、その入力ベクトルの入力電荷量よりも大きい入力電荷量の入力ベクトルと小さい入力電荷量の入力

ベクトルとが存在し、これらの3つの入力電荷量の間に他の入力ベクトルの入力電荷量が存在しない。

【0136】

ただし、入力ベクトル $(0, 0, 0)$ に対しては、入力電荷量 Q_i が大きい入力ベクトル $(0, 0, 1)$ のみが存在し、入力ベクトル $(1, 1, 1)$ に対しては、入力電荷量 Q_i が小さい入力ベクトル $(1, 1, 0)$ のみが存在する。

【0137】

この所定の入力ベクトルと入力電荷量 Q_i が大きい入力ベクトルとの間の1つの入力電荷量 Q_i と、小さい入力ベクトルとの間の1つの Q_i との、どちらか一方において、ブリンバータ 101 が論理反転を起こし、出力信号の論理的値が1から0に変化するという機能を、各ブリンバータ 101 が持ち、この場合、各入力ベクトルにおける規格化フローティングゲート電位 U_{fg} と規格化フローティングゲート閾値電位 U_{fth} との大小関係は、各入力ベクトルに1対1対応するブリンバータ 101 の出力信号の論理的1, 0の値のみに依存する。

【0138】

図2において、各入力ベクトルにおける黒丸は、規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} よりも大きい場合を示し、各入力ベクトルにおける白丸は、規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} よりも小さい場合を示す。

【0139】

したがって、各ブリンバータ 101 が持つ2つの入力閾値電荷量のうち的一方を選択する制御信号を、論理関数機能を構成するデータとして、ブリンバータ 101 に与えることによって、任意の論理関数を実現することができる。

【0140】

[ブリンバータ 101 の設計]

[2つの Q_{ith} を持つための容量比の決め方]

次に、ブリンバータ 101 に、2つの入力閾値電荷量 Q_{ith} を持たせる方法について説明する。

【0141】

図3は、第j番目のプリインバータ101の回路図と、各入力ゲート電極とフローティングゲートとの間の容量値との関係を示す図である。

【0142】

以下では、 2^3 個設けられているプリインバータ101のうちで、入力ベクトル(1, 0, 0)に対応する第5番目のプリインバータ101を使用して説明する。

【0143】

図4は、第5番目のプリインバータ101における入力電荷量 Q_i と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【0144】

図4において、 C_{total} は

【0145】

【数23】

$$\sum_{i=1}^3 C_{51i} + C_{520} + C_{5gnd}$$

を示す。

【0146】

まず、メインインバータ100と同様に、入力ベクトルを識別可能できるように、5番目のプリインバータ101における第1の入力信号用入力ゲート容量の値 C_{51i} を設定する。

【0147】

図4では、各第1の入力信号のための入力ゲート容量の比は、メインインバータ100と同じ容量比に設定されているが、必ずしも同じである必要はなく、入力ベクトルを識別可能できるものであればよい。

【0148】

次に、第2の入力信号が論理的に0であるときに、規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} となる入力閾値電荷量 Q_{ith0} が、入力ベクトル(1, 0, 0)の Q_i と(1, 0, 1)の Q_i との間にな

り、同時に、第2の入力信号が論理的に1であるときに、規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} となる入力閾値電荷量 Q_{ith1} が、入力ベクトル(1, 0, 0)の Q_i と(0, 1, 1)の Q_i の間になるように、5番目のプリインバータ101における第1の入力信号用入力ゲート容量の値 C_{51i} と、第2の入力信号用入力ゲート容量の値 C_{520} とを設定する。

【0149】

このときに、入力ベクトルが(1, 0, 0)である場合、プリインバータ101の規格化フローティングゲート電位 U_{fg} がとり得る値は、第2の入力信号が論理的に1であるときにおける規格化フローティングゲート閾値電位 U_{fth} よりも大きい値(図4中の黒丸)と、第2の入力信号が論理的に0であるときにおける規格化フローティングゲート閾値電位 U_{fth} よりも小さい値(図4中の白丸)との2つである。

【0150】

図5は、入力ベクトルと規格化フローティングゲート電位 U_{fg} とが、図4に示す関係であるときに、入力ベクトル(または、入力電荷量 Q_i)と、プリインバータ101の出力信号の論理的値との関係を示す図である。

【0151】

図5に示すように、入力ベクトル(1, 0, 0)の Q_i よりも小さい Q_i を持つ入力ベクトル(0, 1, 1)までは、論理的に1であり、逆に、大きい Q_i を持つ入力ベクトル(1, 0, 1)では、論理的に0になる。このように、プリインバータ101の上記機能を実現することができる。ここで、出力信号の論理的値は、規格化フローティングゲート電位 U_{fg} 、規格化フローティングゲート閾値電位 U_{fth} よりも大きければ0であり、逆に、小さければ、1である。

【0152】

上記説明は、 $k=3$ である場合における全ての論理関数を実現する回路の設計方法の説明であるが、 k が3以外の任意の値である場合にも、上記と同様の方法によって、全ての論理関数を実現することができる。また、この方法によって、集積回路IC1を設計することができる。

【 0 1 5 3 】

[ニューロンMOSインバータとは異なるスイッチ付ニューロンMOSインバータを使用した場合の説明]

上記説明は、図1に示すニューロンMOSインバータによって構成された集積回路IC1の説明である。

【 0 1 5 4 】

次に、スイッチ付ニューロンMOSインバータによって構成されている集積回路IC1aについて説明する。

【 0 1 5 5 】

図20は、上記論理関数機能再構成可能な集積回路IC1の変形例である論理関数機能再構成可能な集積回路IC1aを示す構成図である。

【 0 1 5 6 】

論理関数機能再構成可能な集積回路IC1aは、図1に示す集積回路IC1と類似の回路構成を有する集積回路である。集積回路IC1aは、集積回路IC1において、メインインバータ100の代わりに、メインインバータ110が設けられている点と、プラインバータ101の代わりに、プラインバータ111が設けられている点とのみが異なる。

【 0 1 5 7 】

集積回路IC1におけるメインインバータ100とプラインバータ101とは、各フローティングゲートが完全にフローティングの状態であり、いかなる端子にも接続されていない。

【 0 1 5 8 】

一方、集積回路IC1aにおけるメインインバータ110とプラインバータ111とは、スイッチ付ニューロンMOSトランジスタを用いたインバータ機能を持つスイッチ付ニューロンMOSインバータである。

【 0 1 5 9 】

スイッチ付ニューロンMOSトランジスタは、そのフローティングゲートがNMOSFET等のスイッチ素子の導通、遮断によって、所定の電位を有する端子に接続、遮断を行うことが可能なニューロンMOSトランジスタである。

【0160】

集積回路 I C 1 a において、メインインバータ 1 1 0 は、端子 c t l m の信号によって導通、遮断を制御されるメインインバータ初期化用 N M O S F E T 1 1 3 を介して、所定の電位を有する端子に導通、遮断され、プラインバータ 1 1 1 は、端子 c t l p の信号によって制御されるプラインバータ初期化用 N M O S F E T 1 1 4 を介して所定の電位を有する端子に導通、遮断される。

【0161】

上記以外の点については、集積回路 I C 1 の回路構成と I C 1 a の回路構成とは同じである。

【0162】

したがって、以降の説明は、図 1 に示す集積回路 I C 1 で使用されているメインインバータ 1 0 0、プラインバータ 1 0 1 を使用した回路について行う。なお、同じ設計方法が、集積回路 I C 1 a の回路構成でも使用可能である。

【0163】

(第 5 の実施例)

第 5 の実施例は、論理関数構成データを多値表現（[請求項 7] に対応）することによって、2 段論理の論理関数機能再構成可能な集積回路 I C 1 におけるプラインバータ 1 0 1 の数を低減するものである。（その集積回路の設計方法は、請求項 1 1 に対応）

[構成データとして多値表現を使用した場合における集積回路の回路構成]

図 9 は、本発明の実施例である集積回路 I C 2 の回路図であり、上記機能を有する集積回路 I C 2 の回路図である。

【0164】

集積回路 I C 2 は、k 入力変数論理関数機能を実現する集積回路であり、第 4 の実施例における説明と同様に、ニューロン M O S インバータの 2 段論理によって構成され、つまり、メインインバータ 9 0 1 とプラインバータ 9 0 2 との 2 段論理によって構成されている。

【0165】

メインインバータ 9 0 1 は、k 個の入力変数が入力される第 1 の入力信号端子

$input1[1] \sim input1[k]$ に接続される入力ゲート電極と、プリインバータ902の出力端子に接続される入力ゲート電極とを有する。

【0166】

また、プリインバータ902は、第1の入力信号端子の他に、論理関数機能を構成するデータが入力される第2の入力信号端子 $input2[11] \sim input2[ha_h]$ と、入力信号からみた閾値を制御する電源またはグランドに代表される固定電位を有する端子に接続される入力ゲート電極とを有する。

【0167】

ここで、第4の実施例と回路構成について比較すると、第4の実施例の集積回路IC1は、ただ1つの第2の入力信号端子を具備する 2^k 個のプリインバータ101を有する回路構成であるが、集積回路IC2は、各プリインバータ101が複数個の第2の入力信号端子を有し、 2^k 個よりも少ないプリインバータ101で回路を構成する。すなわち、図9において、第2の入力端子 $input2[ha_h]$ の h は、プリインバータの数を表しており、 2^k よりも小さく、 a_h は、 h 番目のプリインバータ101における第2の入力信号の数である。

【0168】

また、複数個の第2の入力信号を用いるということは、1つの第2の入力信号を用いる場合に置き換えると、1つの多値信号を用いるということになる。たとえば、2値を使用した場合に、1つの入力信号では、 $\{0, 1\}$ の異なる2つの値の表現、すなわち、2値のみを表現できるが、2つの入力信号では、 $\{(0, 0), (0, 1), (1, 0), (1, 1)\}$ の異なる4つの値の表現、すなわち、4値の表現が可能になる。

【0169】

[プリインバータ902の設計：入力ゲート容量比の決め方]

次に、図9に示す集積回路IC2におけるプリインバータ902の回路構成によって、入力信号からみた閾値である入力閾値電荷量 Q_{ith} に関して、任意の複数の Q_{ith} を生成することが可能であり、この点について説明する。

【0170】

具体例として、 $k=2$ であり、2つの第2の入力信号を用いる場合について説

明する。

【0171】

図10は、入力信号からみた3つの閾値を有するニューロンMOSインバータINV3を示す回路図である。

【0172】

ニューロンMOSインバータINV3は、2つの第1の入力信号端子input1[1]、input1[2]と、2つの第2の入力信号端子input2[h1]、input2[h2]と、グランドに接続される端子とを有する。各入力ゲート電極とフローティングゲートとの間の入力ゲート容量値は、 C_{11} 、 C_{12} 、 C_{2h1} 、 C_{2h2} 、 C_{gnd} であるとする。入力ゲート容量値 C_{11} 、 C_{12} に関しては、上記第4の実施例で説明したように、 $C_{11} : C_{12} = 1 : 2$ とすることによって、入力ベクトルを識別できるようにする。

【0173】

このときに、入力ゲート容量値 C_{11} 、 C_{12} の容量を持つ入力信号端子input1[1]、input1[2]に対応する入力変数を、 x_1 、 x_2 とし、入力電荷量 Q_i の小さい順に、入力ベクトル (x_1, x_2) を並べると、 $(0, 0)$ 、 $(1, 0)$ 、 $(0, 1)$ 、 $(1, 1)$ になる。

【0174】

次に、図10に示すニューロンMOSインバータINV3が、入力ベクトル $(0, 0)$ と $(1, 0)$ との間の領域と、 $(0, 1)$ と $(1, 1)$ との間の領域と、 $(1, 1)$ よりも大きい領域との3つの領域に、それぞれ1つの入力閾値電荷量 Q_{ith} を持たせるように、入力ゲート容量値 C_{2h1} 、 C_{2h2} 、 C_{gnd} を決める方法について説明する。

【0175】

図11は、上記の特性を有するニューロンMOSインバータINV3の入力電荷量と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【0176】

また、規格化フローティングゲート閾値電位 U_{fth} を、 $1/2$ 近傍に設定してあるとする。

【0177】

また、図11中、 C_{total} は、 $C_{11}+C_{12}+C_{2h1}+C_{2h2}+C_{gnd}$ を示し、 $line 0$ は、第1の入力信号以外の入力信号が全て論理的に0である場合における規格化フローティングゲート電位 U_{fg} を示し、 $line 1$ は、 $input 2[h1]$ から入力される第2の入力信号が常に論理的に1である場合における規格化フローティングゲート電位 U_{fg} を示し、 $line 2$ は、 $input 2[h1]$ と $input 2[h2]$ とから入力される第2の入力信号が共に常に論理的に1である場合における規格化フローティングゲート電位 U_{fg} を示す。

【0178】

入力ベクトル(1, 1)よりも Q_i が大きい領域に、1つの Q_{ith} を有するので、 $(C_{11}+C_{12})/C_{total}$ を、(1/2)よりも小さくする。つまり、図11に示すニューロンMOSインバータINV3が持つ3つの入力閾値電荷量中、最大の入力閾値電荷量が、入力ベクトルが(1, 1)であるときの入力電荷量 Q_i よりも大きいので、入力ベクトルが(1, 1)であるときにおける規格化フローティングゲート電位と等価である $(C_{11}+C_{12})/C_{total}$ は、規格化フローティングゲート閾値電位 $U_{fth}=1/2$ よりも小さく設定されなければならない。これによって、 $line 0$ は、入力ベクトル(1, 1)のときよりも大きい Q_i の領域において規格化フローティングゲート閾値電位 U_{fth} と交わる。

【0179】

図11中の直線 $line 0$ 、 $line 1$ 、 $line 2$ と、規格化フローティングゲート閾値電位 U_{fth} との交点が Q_{ith} であり、 $line 0 \sim line 2$ の規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} よりも小さい Q_i においては、ニューロンMOSインバータの出力信号は論理的に1であり、逆に、大きい Q_i においては、出力信号は論理的に0になる。

【0180】

また、ニューロンMOSインバータINV3の入力閾値電荷量 Q_{ith} を入力ベクトル(0, 1)と(1, 1)との間の電荷量 Q_i に設定したいので、 $line 1$ と規格化フローティングゲート閾値電位 U_{fth} との交点が、図11中の入力ベクトル(0, 1)と(1, 1)との間になるように、 C_{2hi}/C_{total} を設定する

【0181】

これと同様に、入力ベクトル $(0, 0)$ と $(1, 0)$ との間の Q_i において、 Q_{ith} を持たせるために、 $line\ 2$ と規格化フローティングゲート閾値電位 U_{fth} との交点が、図11中の入力ベクトル $(0, 0)$ と $(1, 0)$ との間になるように、 C_{2h2}/C_{total} を設定する。

【0182】

最後に、 $1 - (C_{11} + C_{12} + C_{2h1} + C_{2h2}) / C_{total}$ を、 C_{gnd}/C_{total} とする。このように、各入力ゲート容量値を決めることによって、任意の入力電荷量 Q_i に、入力閾値電荷量 Q_{ith} を設定することができる。

【0183】

[プラインバータ902の入出力特性]

図12は、上記方法によって、入力ゲート容量値を設定した場合におけるニューロンMOSインバータの入出力特性を示す図である。

【0184】

図12において、横軸は、 Q_i を示し、縦軸は、ニューロンMOSインバータの出力電位 V_{out} を電源電位 V_{dd} で規格化した値または、論理的な値を示す。また、図12中、 $(1, 1)$ 、 $(1, 0)$ 、 $(0, 0)$ は、それぞれ、第2の入力信号端子 $input\ 2\ [h1]$ 、 $input\ 2\ [h2]$ からの入力信号の論理的値が、 $(1, 1)$ 、 $(1, 0)$ 、 $(0, 0)$ であることを示す。

【0185】

図12から判るように、ニューロンMOSインバータに、2つの2値表現を有する第2の入力信号を入力し、各入力ゲート容量の値を上記のように設定し、2つの2値表現の第2の入力信号で表現される4つの値のうちの3つの値 $(1, 1)$ 、 $(1, 0)$ 、 $(0, 0)$ を使用することによって、異なる3つの閾値を有するニューロンMOSインバータを設計することができる（[請求項8]に対応）

【0186】

[メインインバータ901の回路構成]

次に、上記方法で設計されたニューロンMOSインバータをプリインバータ902として使用し、第1の実施例よりも少ないプリインバータ数で構成された集積回路IC2が任意の論理関数機能を実現できることについて説明し、その具体例として、 $k=2$ の場合について説明する。

【0187】

図13は、本発明の実施例である集積回路IC3を示す回路図であり、 $k=2$ である場合において、論理関数機能を再構成することが可能な集積回路IC3の回路図である。

【0188】

第4の実施例では、 $k=2$ である場合、 $2^k=4$ 個のプリインバータ101を必要とするが、集積回路IC3では、上記の多値表現を用いたプリインバータ902を使用し、3つのプリインバータ902によって、上記と同じ機能を実現する。

【0189】

メインインバータ1300は、入力変数 x_1 、 x_2 が入力される第1の入力信号端子input1[1]、input1[2]とフローティングゲートとの間に入力ゲート容量値 C_{m1} 、 C_{m2} の容量を持ち、プリインバータ1301、1302、1303の出力端子に接続されている端子とフローティングゲートとの間に入力ゲート容量値 C_{p1} 、 C_{p2} 、 C_{p3} の容量を持つ。

【0190】

ここで、 $C_{m1} : C_{m2} = 1 : 2$ として、入力ベクトルを識別できるようにする。また、入力ゲート容量値 C_{p1} 、 C_{p2} 、 C_{p3} を、次のようにして決める。

【0191】

[メインインバータ1300の入力ゲート容量比の決め方]

第4の実施例では、各入力ベクトルに1対1対応するプリインバータ101を決め、その出力信号の論理的値とメインインバータ100の出力信号の論理的値とを対応づけることによって、任意の論理関数を実現する。

【0192】

集積回路IC3では、4つの入力ベクトルの中で、所定の1つの入力ベクトル

に対して1対1対応するプリインバータを、プリインバータ1301、1302、1303の中から決め、この決められたプリインバータの出力信号の論理的値とメインインバータ1300の出力信号の論理的値とを対応づけるが、他の3つの入力ベクトルに対しては、2つのプリインバータの出力信号の論理的値の組み合わせによって、メインインバータ1300の出力信号の論理的値を決める。

【0193】

図14は、図13に示す集積回路IC3のメインインバータ1300における Q_i （または、入力ベクトル）と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【0194】

図14において、横軸の

【0195】

【数24】

$$\sum_{i=1}^2 C_{mi} \cdot V_{mi}$$

は、 Q_i を示し、(0, 0)、(1, 0)、(0, 1)、(1, 1)は、入力変数(x_1, x_2)に対する入力ベクトルを示し、縦軸は、規格化フローティングゲート電位 U_{fg} を示している。

【0196】

図14において、 U_{fth} は、規格化フローティングゲート閾値電位を示し、 C_{tal} は、入力ゲート容量値の総和である($C_{m1} + C_{m2} + C_{p1} + C_{p2} + C_{p3}$)を示している。

【0197】

最大入力電荷量となる入力ベクトル(1, 1)において、プリインバータの出力信号の論理的値が全て0であるときにおける規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} を越えないように、 $C_{p1} + C_{p2} + C_{p3}$ を設定する。

【0198】

ここで、 C_{m1} を基準とした C_{m2} 、 C_{p1} 、 C_{p2} 、 C_{p3} の比を、 w_{m2} 、 w_{p1} 、 w_{p2} 、 w_{p3} とする。図14に示す具体例では、 $w_{m2}=2$ 、 $(w_{p1}+w_{p2}+w_{p3})=4$ であるとしてある。

【0199】

次に、最小入力電荷量における入力ベクトル $(0, 0)$ において、プリインバータ1302、1303の出力信号が論理的に1であるときに、プリインバータ1301の出力信号が論理的に0である場合における規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} よりも小さく、かつ、プリインバータ1301の出力信号が論理的に1である場合の規格化フローティングゲート電位 U_{fg} が規格化フローティングゲート閾値電位 U_{fth} より大きくなるように、 w_{p1} と $(w_{p2}+w_{p3})$ とを設定する。図14に示す具体例では、 $w_{p1}=1$ 、 $(w_{p2}+w_{p3})=3$ である。

【0200】

また、プリインバータ1301は、1つの第2の入力信号によって、2つの Q_{ith} として、入力ベクトル $(0, 0)$ よりも小さい Q_i と、入力ベクトル $(0, 0)$ と $(1, 0)$ との間の Q_i とを設定している。

【0201】

最後に、 w_{p2} と w_{p3} とを、次のように設定する。

【0202】

入力ベクトル $(1, 1)$ において、プリインバータ1303の出力信号のみが論理的に1であり、プリインバータ1301、1302の出力信号が論理的に0であるときの規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} よりも大きく、入力ベクトル $(0, 1)$ において、同じ条件の規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} よりも小さくなるようにする。

【0203】

さらに、入力ベクトル $(1, 0)$ において、プリインバータ1301、1302、1303の出力信号の論理的値の組み合わせが、 $(0, 1, 1)$ であるときの規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電

位 U_{fth} よりも大きく、 $(0, 1, 0)$ であるときの規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} よりも小さくなり、入力ベクトル $(0, 1)$ において、プリインバータ1301、1302、1303の出力信号の論理的値の組み合わせが、 $(0, 1, 0)$ であるときの規格化フローティングゲート電位 U_{fg} が、規格化フローティングゲート閾値電位 U_{fth} よりも大きくなるようにする。

【0204】

以上の条件を満たすように、 w_{p2} と w_{p3} を決める。図14に示す具体例では、 $w_{p2}=2$ 、 $w_{p3}=1$ である。

【0205】

また、プリインバータ1302において、2つの第2の入力信号端子 $input\ 2\ [21]$ 、 $input\ 2\ [22]$ から、2つの2値信号を入力することによって、4つの閾値として、入力ベクトル $(0, 0)$ と $(1, 0)$ との間の領域と、入力ベクトル $(1, 0)$ と $(0, 1)$ との間の領域と、入力ベクトル $(0, 1)$ と $(1, 1)$ との間の領域と、入力ベクトル $(1, 1)$ よりも大きい領域とを設定する。

【0206】

プリインバータ1303において、2つの第2の入力信号端子 $input\ 2\ [31]$ 、 $input\ 2\ [32]$ から、2つの2値信号を入力することによって、3つの閾値として、入力ベクトル $(0, 0)$ と $(1, 0)$ との間の領域と、入力ベクトル $(0, 1)$ と $(1, 1)$ との間の領域と、入力ベクトル $(1, 1)$ よりも大きい領域とを設定する。

【0207】

以上のように、メインインバータ1300の入力ゲート容量の比と、プリインバータ1301、1302、1303の閾値とを決めることによって、要素の数 $k=2$ の場合に、任意の論理関数を実現することができる。

【0208】

[具体的な構成データ]

図15は、要素の数 $k=2$ である場合における入力変数 x_1 、 x_2 によって実現

される 16 個の論理関数中、8 個の論理関数を、図 13 に示す集積回路 IC3 によって実現するとき、規格化フローティングゲート電位 U_{fg} と、プリインバータ 1302、1303 の出力信号の論理的値 (Y_{p2} , Y_{p3}) との関係を示す図である。

【0209】

規格化フローティングゲート電位 U_{fg} は、規格化フローティングゲート閾値電位 U_{fth} よりも大きい場合に 1 と表記し、小さい場合に 0 と表記する。メインインバータ 1300 の出力信号の論理的値は、図 15 の規格化フローティングゲート電位 U_{fg} の論理的反転の値である。

【0210】

集積回路 IC3 では、図 14 に示すように、入力ベクトルが (0, 0) であるときは、プリインバータ 1301 の出力信号の論理的値の 2 値のみでメインインバータ 1300 の出力信号の論理的値が決まるので、図 15 では、プリインバータ 1301 の出力信号の論理的値が 0 である場合のみを示してある。

【0211】

入力ベクトル (0, 0) において、規格化フローティングゲート電位 U_{fg} を規格化フローティングゲート閾値電位 U_{fth} よりも大きくするには、プリインバータ 1301 の出力信号の論理的値を 1 にするだけで足りる。他の信号の状態に影響を与えることはない。したがって、図 15 において 8 個の論理関数を実現できることは、16 個の全ての論理関数を実現できることを意味している。

【0212】

[k = 2 の場合のまとめ]

上記説明のように、図 13 に示す集積回路 IC3 は、要素の数 $k = 2$ である場合において、16 個の任意の論理関数を実現することができ、第 1 の実施例の集積回路 IC1 では、要素の数 $k = 2$ である場合に、4 つのプリインバータ 101 を必要としたが、集積回路 IC3 では、3 つのプリインバータ 902 によって、集積回路 IC1 における機能と同じ機能を実現することができる。また、プリインバータの数を低減することによって、論理関数機能再構成可能な集積回路の面積コストを低減することができる。

【 0 2 1 3 】

[上記方法が汎用的な方法であることの説明]

次に、上記実施例の設計方法が、要素の数 $k = 2$ である場合のみに適用可能な特殊な方法ではなく、任意の k に対して、常に、プリインバータ数 $(3/4) \cdot 2^k$ を使用する有効な設計方法であることについて説明する。

【 0 2 1 4 】

図 1 6 は、集積回路 IC 3 と同様の設計方法を、要素の数 $k = 3$ に拡張し、設計された集積回路におけるメインインバータの入力ベクトル、または入力電荷量と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【 0 2 1 5 】

k 入力変数の入力ベクトルは、 2^k 個存在し、この入力ベクトルによって実現できる論理関数は、最大 2^k 個存在する。これらの入力ベクトルに対応する入力電荷量が小さい順に、入力ベクトルを並べ、4 つの入力ベクトルを 1 つのブロックにする。

【 0 2 1 6 】

これによって、 2^{k-2} 個のブロックができる。各ブロックに対して、集積回路 IC 3 で用いた方法と同様の方法を適用することによって、1 つのブロックに対して 3 つのプリインバータを用い、これによって、そのブロックに属する入力ベクトルに対する全ての論理関数を実現することができる。

【 0 2 1 7 】

図 1 6 において、入力ベクトル $(0, 0, 0) \sim (1, 1, 0)$ まだが 1 つのブロックであり、入力ベクトル $(0, 0, 1) \sim (1, 1, 1)$ も 1 つのブロックである。入力ベクトルと規格化フローティングゲート電位 U_{fg} との関係が、ブロックを単位とした周期構造を持っていることが判る。

【 0 2 1 8 】

[本実施例のまとめ]

上記実施例の方法を用いることによって、任意の k 入力変数によって実現可能な 2^k 個の論理関数を、 $(3/4) \cdot 2^k$ 個のプリインバータを用いて実現することができる。

【 0 2 1 9 】

上記実施例に示すように、2 値信号を複数用いて、論理関数機能構成データを多値表現した場合、集積回路における第2の入力信号の総数は、第1の実施例の場合の総数である 2^k と等しいか、または多いかのいずれかである。プリインバータの数を低減できる一方、第2の入力信号の数が増加し、そのための入力ゲート電極数が増加する。

【 0 2 2 0 】

しかし、プリインバータ数を低減する場合の面積に対する効果と、第2の入力信号を入力するための入力ゲート電極数の増加による効果とでは、一般的には前者の効果の方が大きくなる。したがって、上記実施例を用いることによって、論理関数機能再構成可能な集積回路を、低面積コストで実現することができる。

【 0 2 2 1 】

(第6の実施例)

第5の実施例である集積回路 IC 3 のプリインバータでは、複数の第2の入力信号を入力することによって、入力信号からみた複数の閾値を、任意の入力電荷量に設定することができる。

【 0 2 2 2 】

次に、上記実施例において、第2の入力信号の入力端子を1つにしても、入力信号として、物理的に多値である信号を用いることによって、同様の機能を持たせることが可能であることについて説明する（〔請求項9〕に対応）。

【 0 2 2 3 】

〔多値電位を使用する場合の集積回路の回路構成：第5の実施例と比較〕

図17は、第2の入力信号として多値電位を用いた論理機能再構成可能な集積回路 IC 4 の回路構成を示す図である。

【 0 2 2 4 】

集積回路 IC 4 のメインインバータ 1700 の各入力ゲート容量値と、フローティングゲート閾値電位との設定は、第5の実施例の集積回路 IC 3 と同様である。集積回路 IC 4 は、そのプリインバータ 1701 における第2の入力信号端子数と、入力信号からみた複数の閾値とを設定する方法において、集積回路 IC

3とは異なる。

【0225】

[プラインバータの回路構成と動作]

図18は、集積回路IC4のプラインバータ1701の回路構成を示す図である。

【0226】

このプラインバータ1701の回路構成と動作とを、図10に示すニューロンMOSインバータINV3と比較して、2値の複数の第2の入力信号を入力することと、多値電位の1つの第2の入力信号を入力することが等価であり、全く同じ機能を持たせることができることについて説明する。

【0227】

図18に示すプラインバータ1701の第2の入力信号端子input2[h]に接続される入力ゲート容量の値 C_{2h} を、図10に示すニューロンMOSインバータINV3の第2の入力信号を入力する入力ゲート容量の値 C_{2h1} 、 C_{2h2} の和の値 $C_{2h1} + C_{2h2}$ にする。

【0228】

図19は、上記入力ゲート容量値を用いた場合におけるプラインバータ1701の入力ベクトル、または入力電荷量 Q_i と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【0229】

図19中、 $C_{total} = C_{11} + C_{12} + C_{2h} + C_{gnd}$ であり、line0は、第2の入力信号端子input2[h]に入力される信号が、論理的に0である場合における規格化フローティングゲート電位 U_{fg} であり、line1は、第2の入力信号端子input2[h]に入力される信号が、論理的に1である場合における規格化フローティングゲート電位 U_{fg} である。

【0230】

入力信号が2値である場合は、line0とline1との2つの状態しか取ることができないが、多値を利用できる場合は、line0とline1との間の全ての値を取ることが可能である。多値として、論理的に(1/3)を使用す

ることによって、図 1 1 と同じ Q_i に、入力閾値電荷量 Q_{ith} を設定することができる。すなわち、図 1 1 と同じ Q_i に、 Q_{ith} を設定するためには、図 1 8 のプリインバータ 1 7 0 1 の第 2 の入力信号として、1、 $(1/3)$ 、0 の 3 値を用いればよい。

【0 2 3 1】

上記実施例において、多値電位を第 2 の入力信号として用いることによって、2 値の複数の入力信号を用いた場合と同様の機能を実現することができる。

【0 2 3 2】

【発明の効果】

本発明の論理関数機能再構成可能な集積回路の設計方法によれば、容易に低面積コストで、任意の論理関数機能を、ニューロン MOS 回路に実装することができるという効果を奏する。

【0 2 3 3】

また、本方法によって設計された集積回路によれば、論理関数機能を再構成することができ、また、面積コストを小さく抑えることができるという効果を奏する。

【図面の簡単な説明】

【図 1】

k 入力変数による 2^k 個の任意の論理関数機能を実現する論理関数機能再構成可能な集積回路の回路構成であり、ニューロン MOS インバータを用いた 2 段論理による回路構成を示す図である。

【図 2】

上記実施例において、要素の個数 $k = 3$ であり、重みベクトルが $(1, 3, 5)$ であるときに、メインインバータ 1 0 0 における入力電荷量 Q_i と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【図 3】

第 j 番目のプリインバータ 1 0 1 の回路図と、各入力ゲート電極とフローティ

ングゲートとの間の容量値との関係を示す図である。

集積回路 I C 1 における第 j 番目のプリインバータ 1 0 1 の回路図である。

【図 4】

第 5 番目のプリインバータ 1 0 1 における入力電荷量 Q_i と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【図 5】

入力ベクトルと規格化フローティングゲート電位 U_{fg} とが、図 4 に示す関係であるときに、入力ベクトル（または、入力電荷量 Q_i ）と、プリインバータ 1 0 1 の出力信号の論理的値との関係を示す図である。

【図 6】

$i = 1, 2, 3, 4, 5$ である場合、 $0 \leq \alpha \leq 2$ である α と、 $g(\alpha, i)$ との関係を示す図である。

【図 7】

$\alpha = 1.7, 1.9, 2.0, 2.2$ の場合における S_2 と S_α の関係を示す図である。

【図 8】

$k = 2, 3, 4$ の場合において、 β と、総和 $S u m_{(2)}$ に対する総和 $S u m_{(3)}$ の比 η との関係を示す図である。

【図 9】

本発明の実施例である集積回路 I C 2 の回路図であり、上記機能を有する集積回路 I C 2 の回路図である。

【図 1 0】

入力信号からみた 3 つの閾値を有するニューロン MOS インバータ I N V 3 を示す回路図である。

【図 1 1】

上記の特性を有するニューロン MOS インバータ I N V 3 の入力電荷量と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【図 1 2】

上記方法によって、入力ゲート容量値を設定した場合におけるニューロン MO

S インバータの入出力特性を示す図である。

【図 1 3】

本発明の実施例である集積回路 IC 3 を示す回路図であり、 $k = 2$ である場合において、論理関数機能を再構成することが可能な集積回路 IC 3 の回路図である。

【図 1 4】

図 1 3 に示す集積回路 IC 3 のメインインバータ 1 3 0 0 における Q_i (または、入力ベクトル) と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【図 1 5】

要素の数 $k = 2$ である場合における入力変数 x_1, x_2 によって実現される 1 6 個の論理関数中、8 個の論理関数を、図 1 3 に示す集積回路 IC 3 によって実現するときに、規格化フローティングゲート電位 U_{fg} と、プリインバータ 1 3 0 2、1 3 0 3 の出力信号の論理的値 (Y_{p2}, Y_{p3}) との関係を示す図である。

【図 1 6】

集積回路 IC 3 と同様の設計方法を、要素の数 $k = 3$ に拡張し、設計された集積回路におけるメインインバータの入力ベクトル、または入力電荷量と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【図 1 7】

第 2 の入力信号として多値電位を用いた論理機能再構成可能な集積回路 IC 4 の回路構成を示す図である。

【図 1 8】

集積回路 IC 4 のプリインバータ 1 7 0 1 の回路構成を示す図である。

【図 1 9】

上記入力ゲート容量値を用いた場合におけるプリインバータ 1 7 0 1 の入力ベクトル、または入力電荷量 Q_i と、規格化フローティングゲート電位 U_{fg} との関係を示す図である。

【図 2 0】

上記論理関数機能再構成可能な集積回路 IC 1 の変形例である論理関数機能再

構成可能な集積回路 IC 1 a を示す構成図である。

【図 2 1】

従来の LUT (Look-Up Table) 型の可変論理部の構成を示す図である。

【図 2 2】

従来のマルチプレクサ (MUX) 型の可変論理部の構成を示す図である。

【図 2 3】

PLA 型の可変論理部の構成を示す図である。

【図 2 4】

従来のニューロン MOS トランジスタを用いた CMOS 型インバータの構造を示す図であり、図 2 4 (1) は、レイアウト図、図 2 4 (2) は、図 2 4 (1) に記載の X-X' での断面図、図 2 4 (3) は、図 2 4 (3) は、n 入力相補型ニューロン MOS インバータ (ニューロン MOS インバータ) の回路図である。

【図 2 5】

従来のニューロン MOS トランジスタを用いた CMOS 型インバータ (ニューロン MOS インバータ) の回路図であり、(1) はトランジスタ記号によって記述された図、(2) は論理記号によって記述された図である。

【符号の説明】

IC 1、IC 1 a、IC 2、IC 3、IC 4 … 論理関数機能再構成可能な集積回路、

1 0 0、1 1 0、9 0 1、1 3 0 0、1 7 0 0 … メインインバータ、

1 0 1、1 1 1、9 0 2、1 3 0 1、1 3 0 2、1 3 0 3、1 7 0 1 … プリインバータ、

1 0 2、1 1 2、9 0 3 … 出力バッファ、

1 1 3 … メインインバータ初期化用 NMOS FET、

1 1 4 … プリインバータ初期化用 NMOS FET、

x_i … 入力変数、

V_{fg} … フローティングゲート電位、

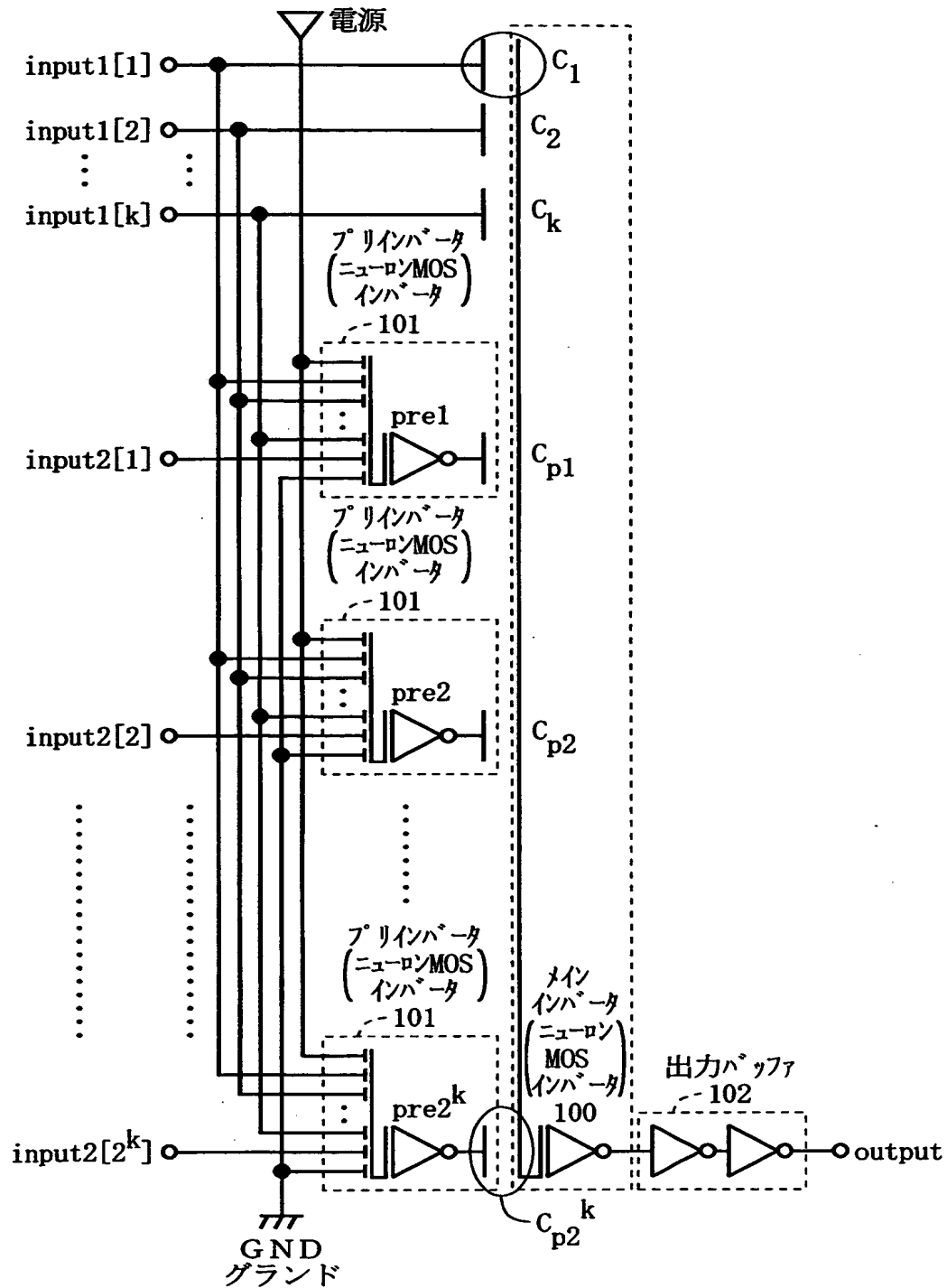
Q_f … 各入力ゲート容量に蓄積する電荷量の総和、

V_{out} …ニューロンMOSインバータの出力信号、
 W …重みベクトル、
 w_i …重みベクトル W の要素、
 X …入力ベクトル、
 S_α …重みベクトルと入力ベクトルとの内積の結果、
 S_2 …2のべき乗が要素である重みベクトルと入力ベクトルとの内積の結果、
 η …総和 $S_{um(2)}$ に対する総和 $S_{um(3)}$ の比、
 U_{fg} …規格化フローティングゲート電位、
 U_{fth} …規格化フローティングゲート閾値電位、
 Q_i …入力電荷量、
 Q_{ith} …入力閾値電荷量、
 C_{total} …全ての入力ゲート容量の値の総和、
 V_{dd} …電源電位。

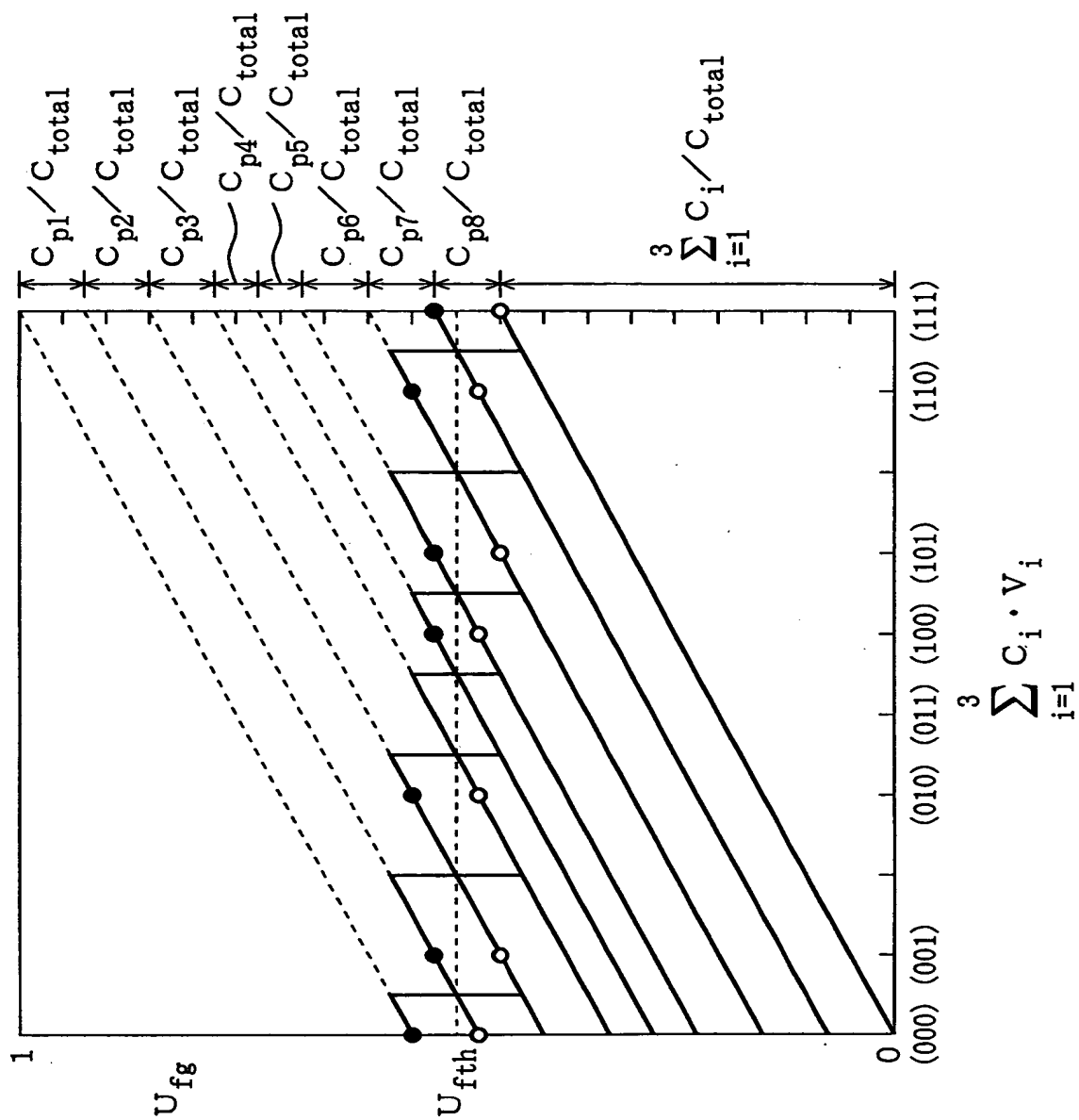
【書類名】 図面

【図 1】

IC1 : 論理関数機能再構成可能な集積回路

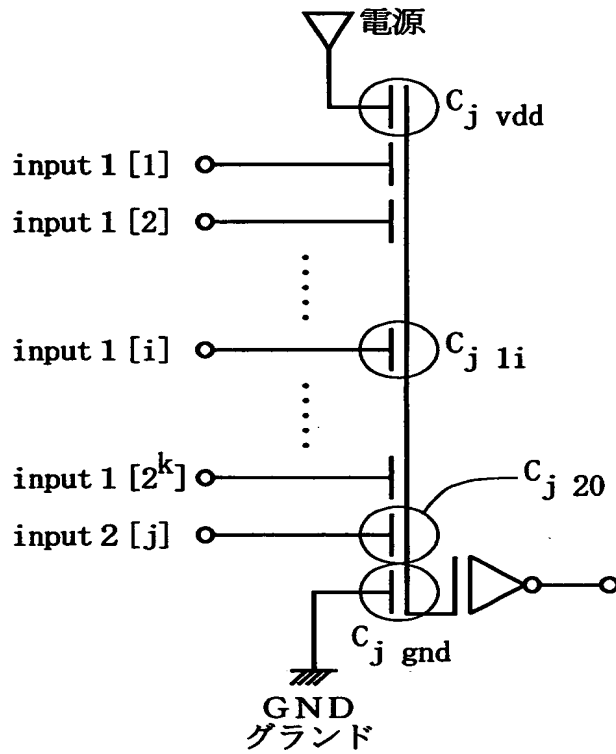


【図2】

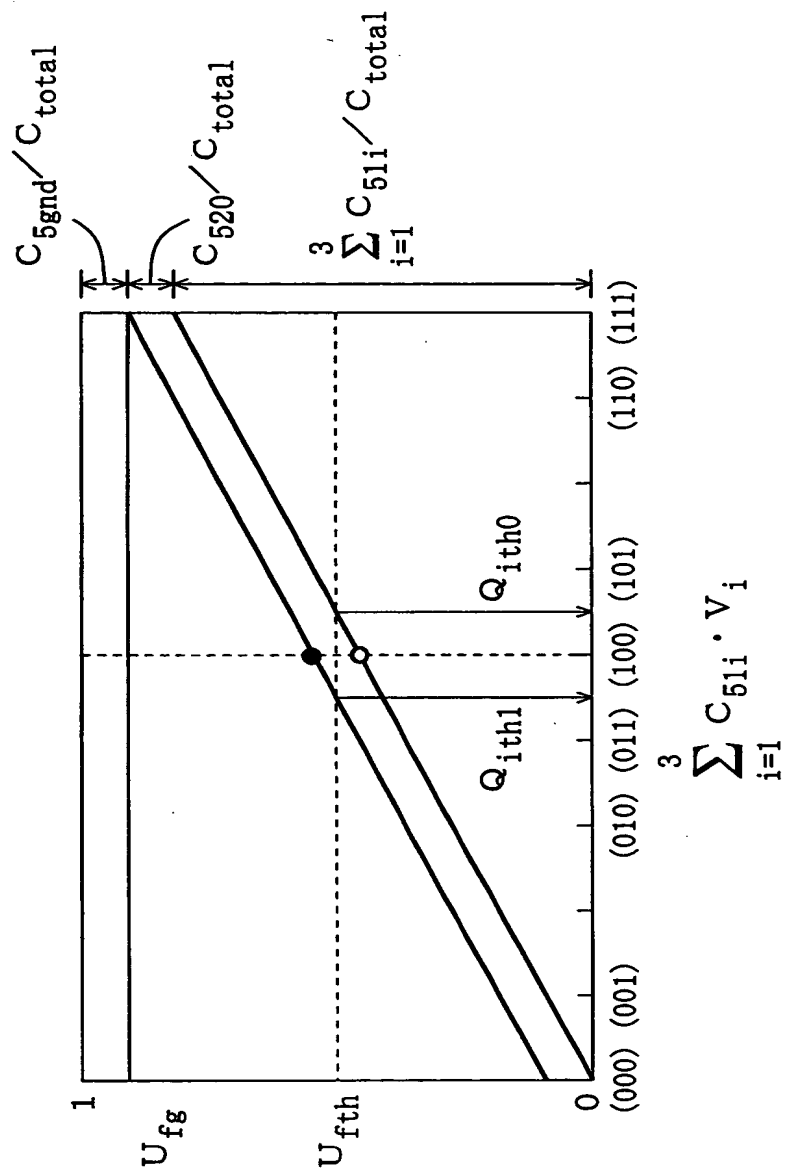


【図 3】

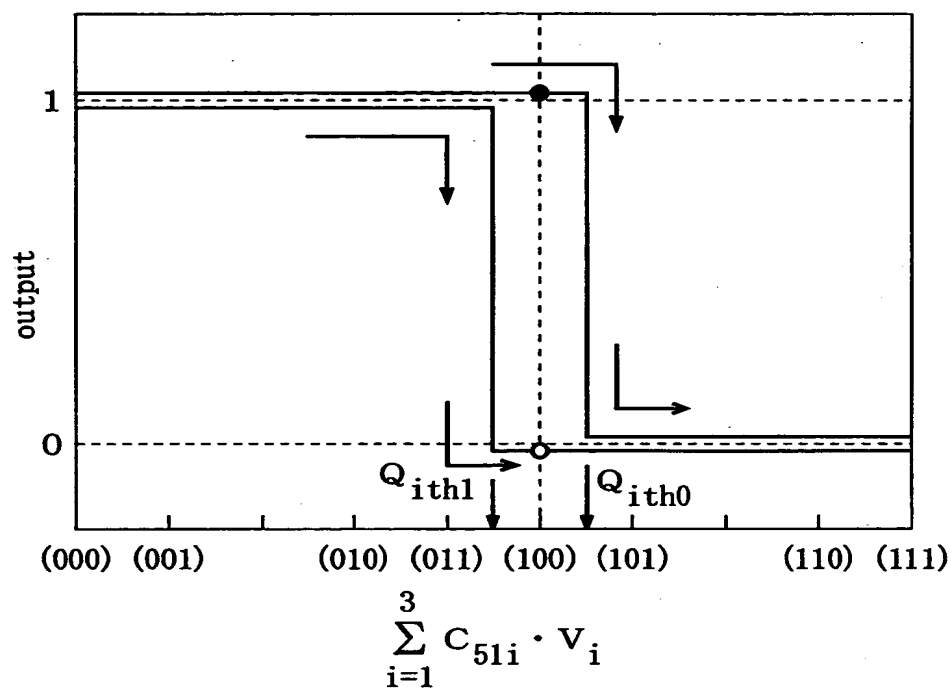
第 i 番目のプリインバータ 1 0 1



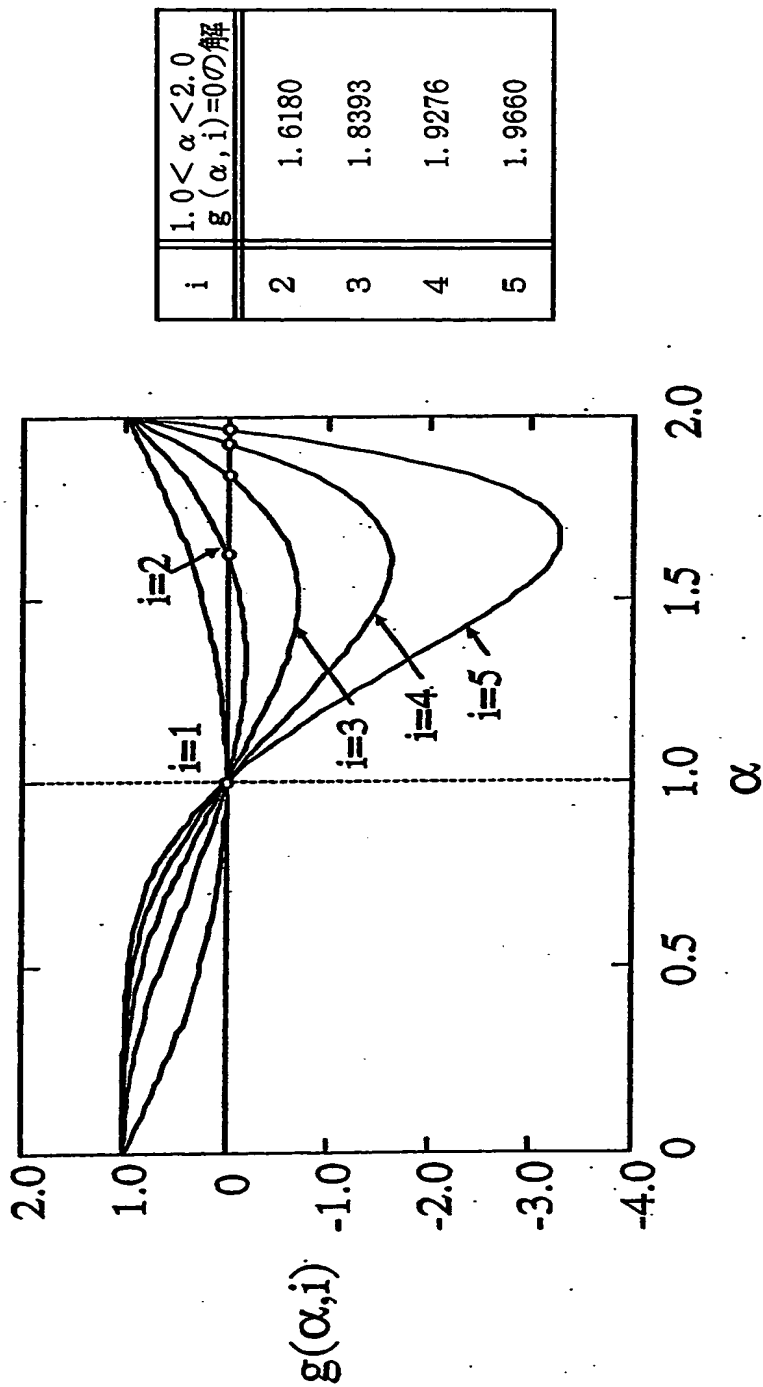
【図 4】



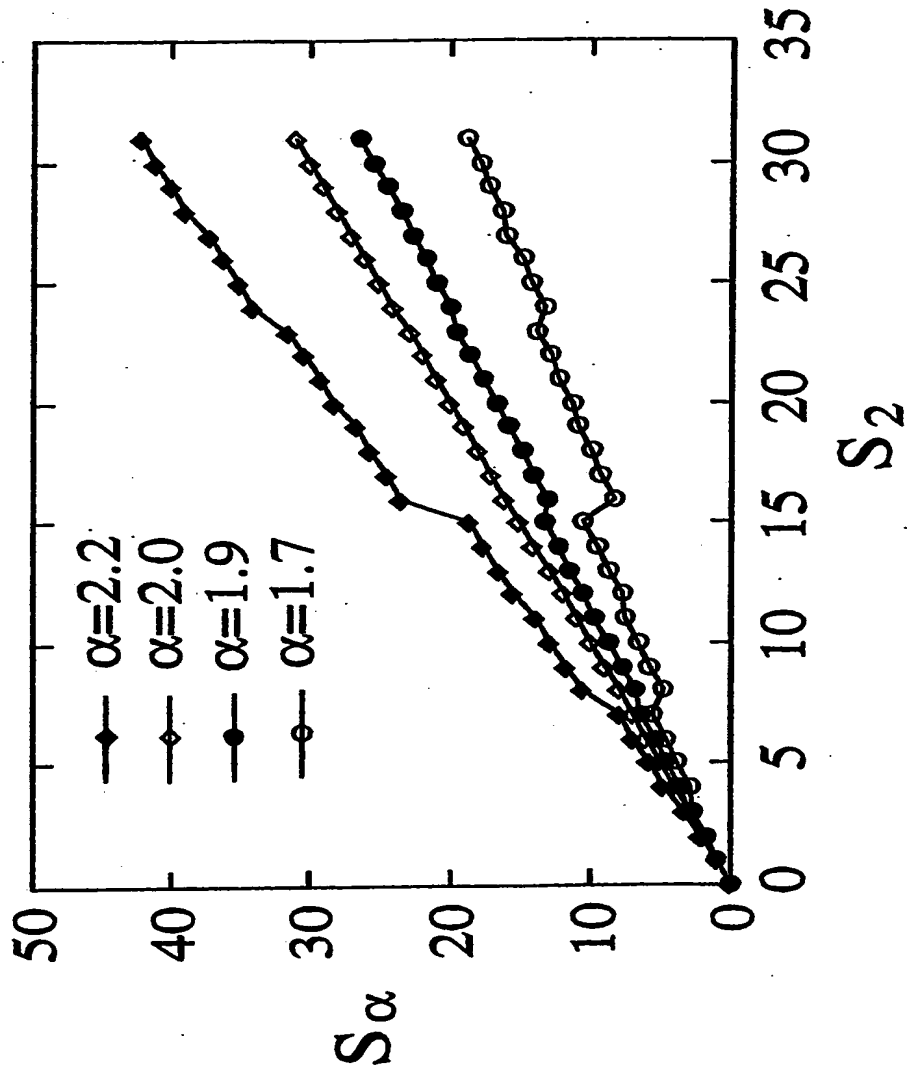
【図5】



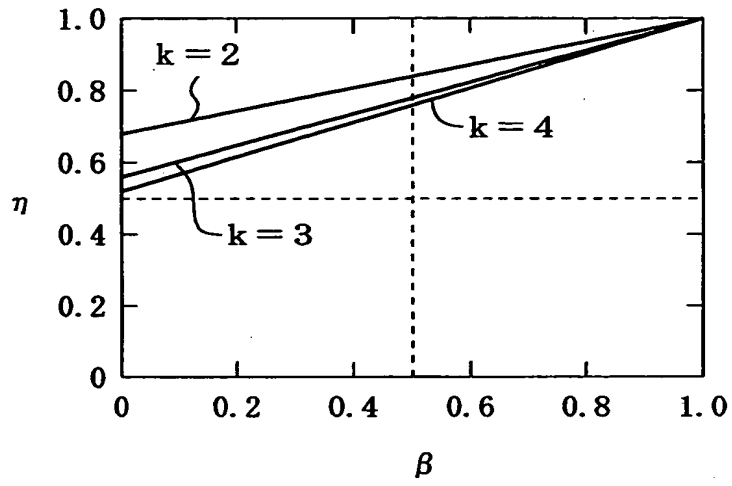
【図6】



【図7】

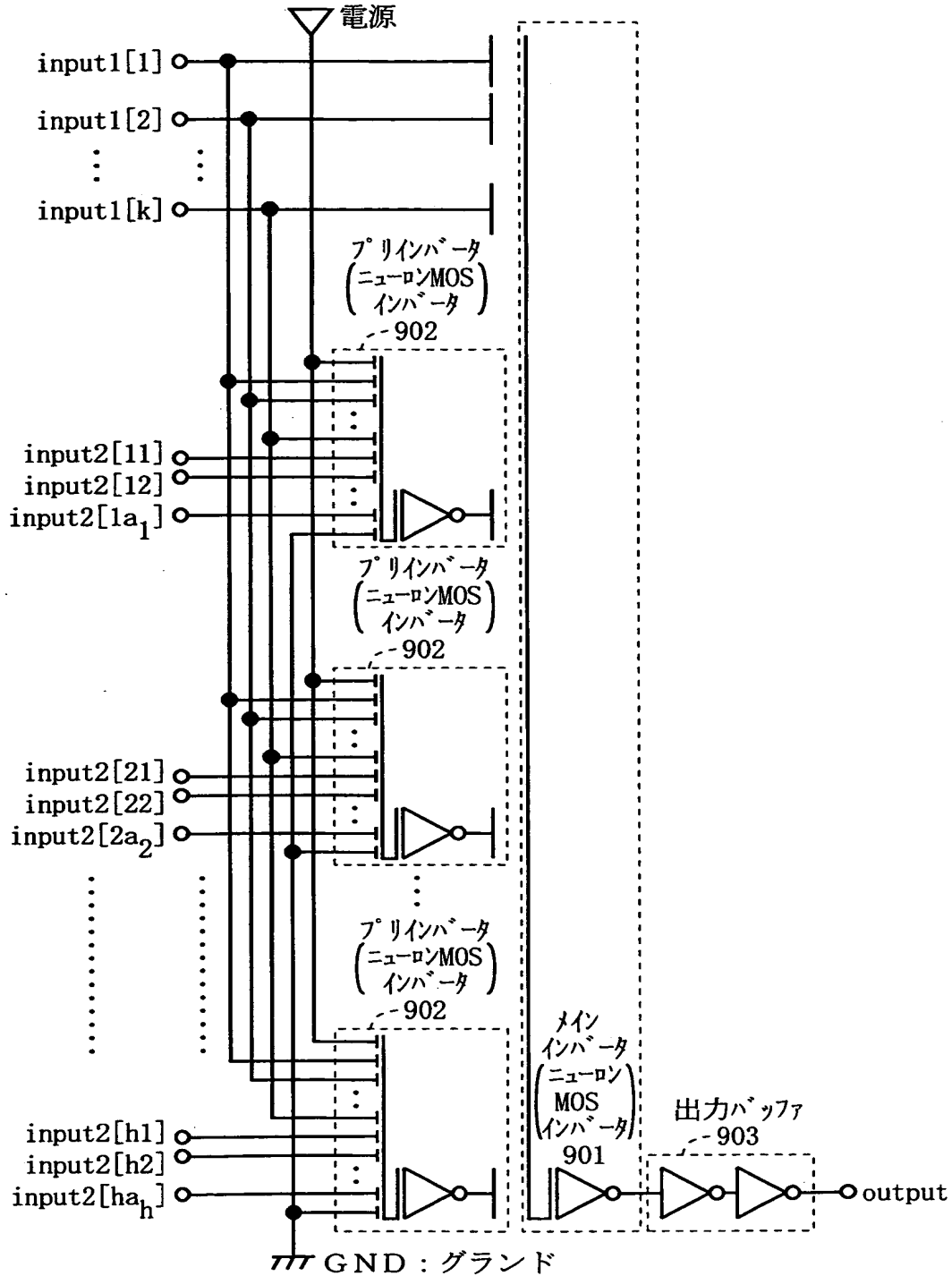


【図 8】



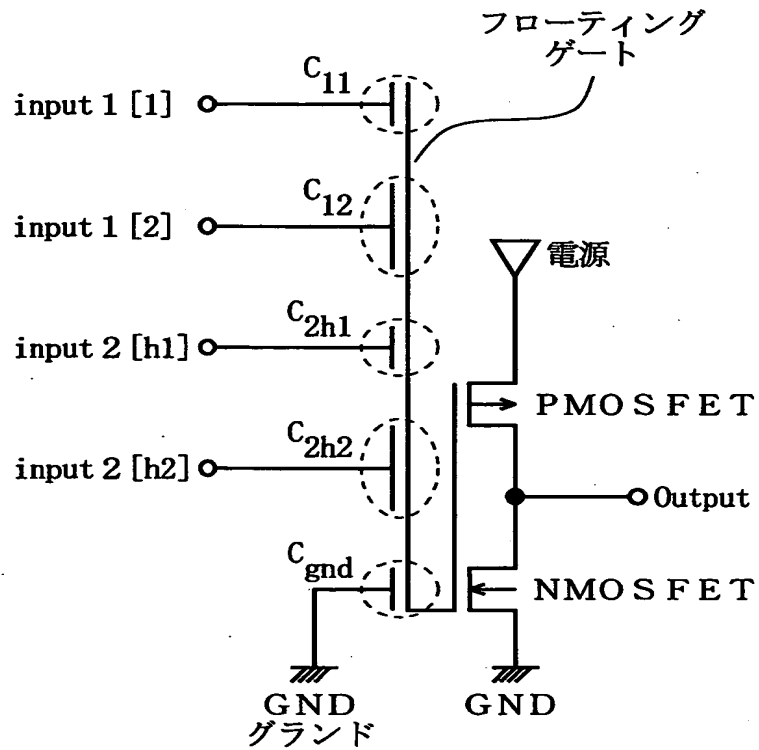
【図 9】

I C 2 : 論理関数機能再構成可能な集積回路

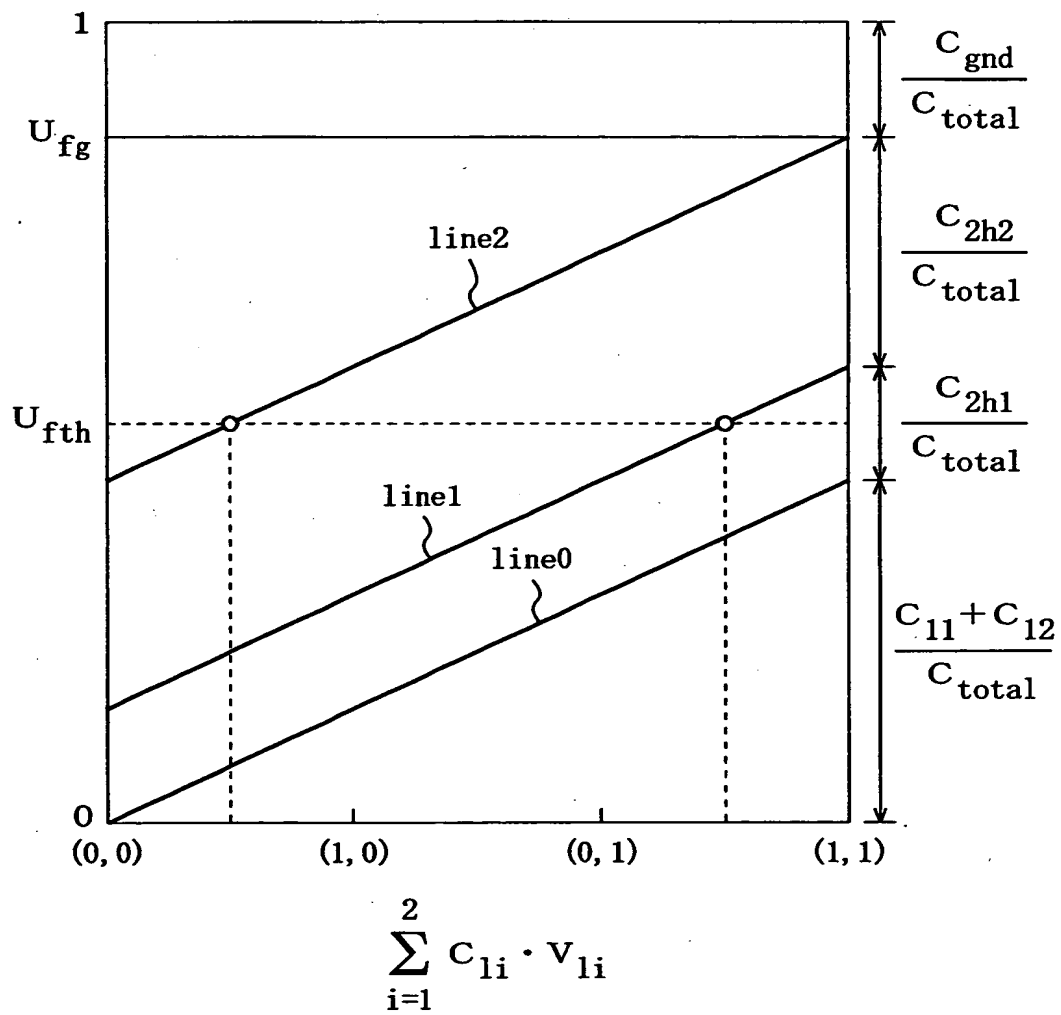


【図10】

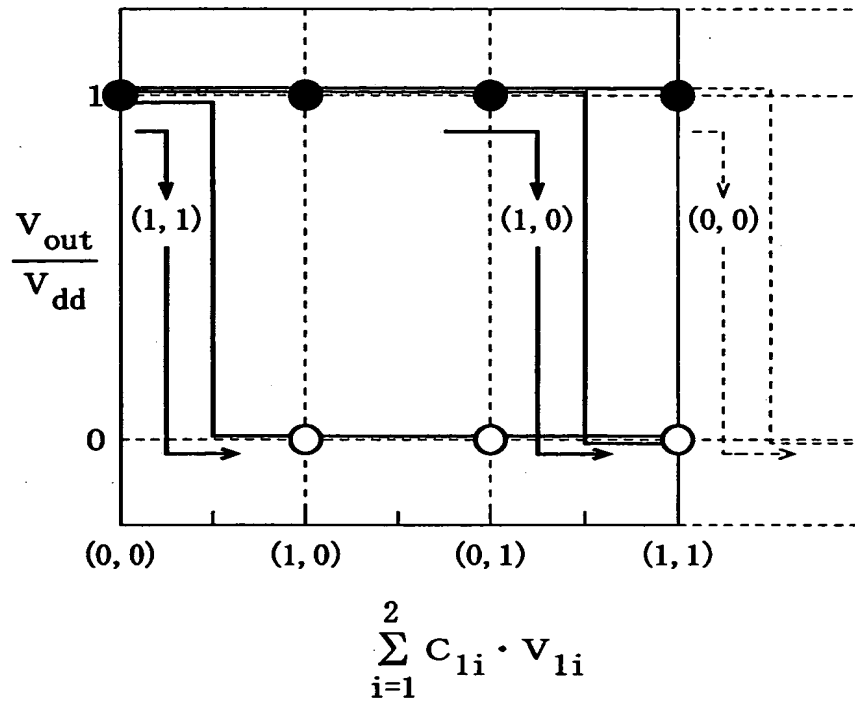
INV 3 : ニューロンMOSインバータ



【図 11】

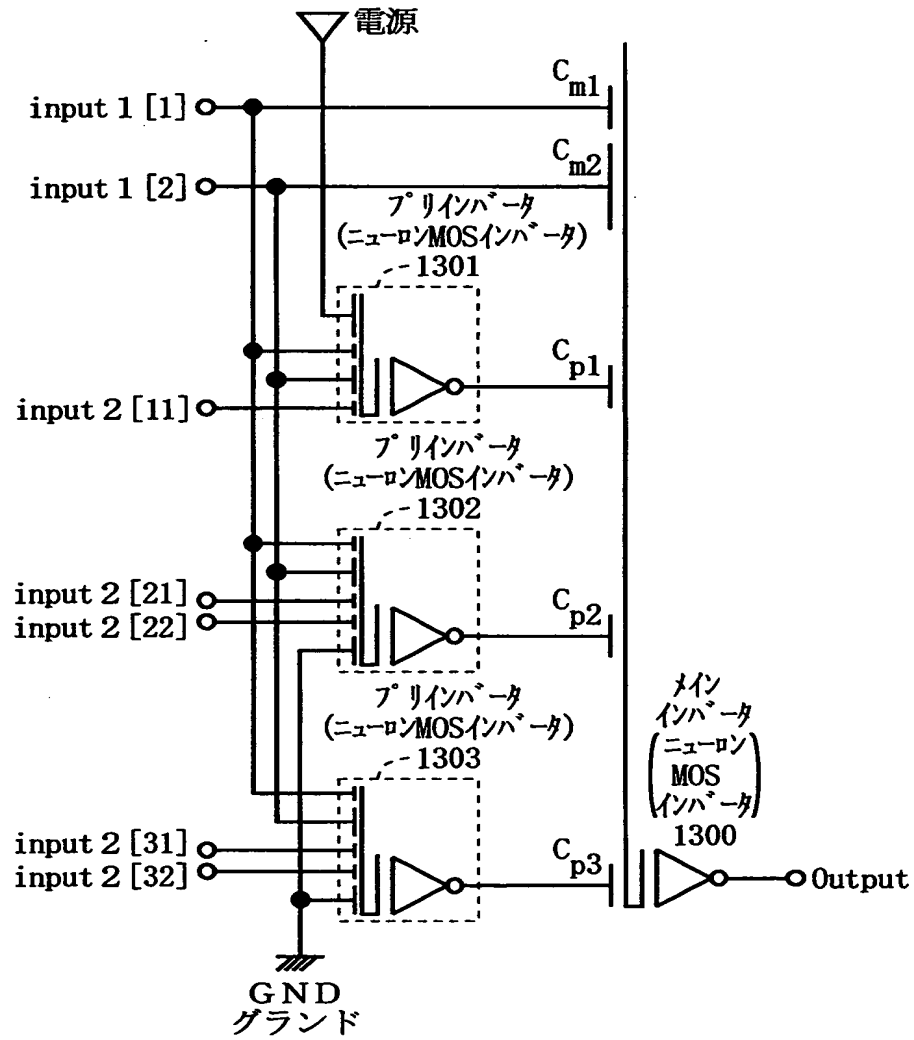


【図 1 2】

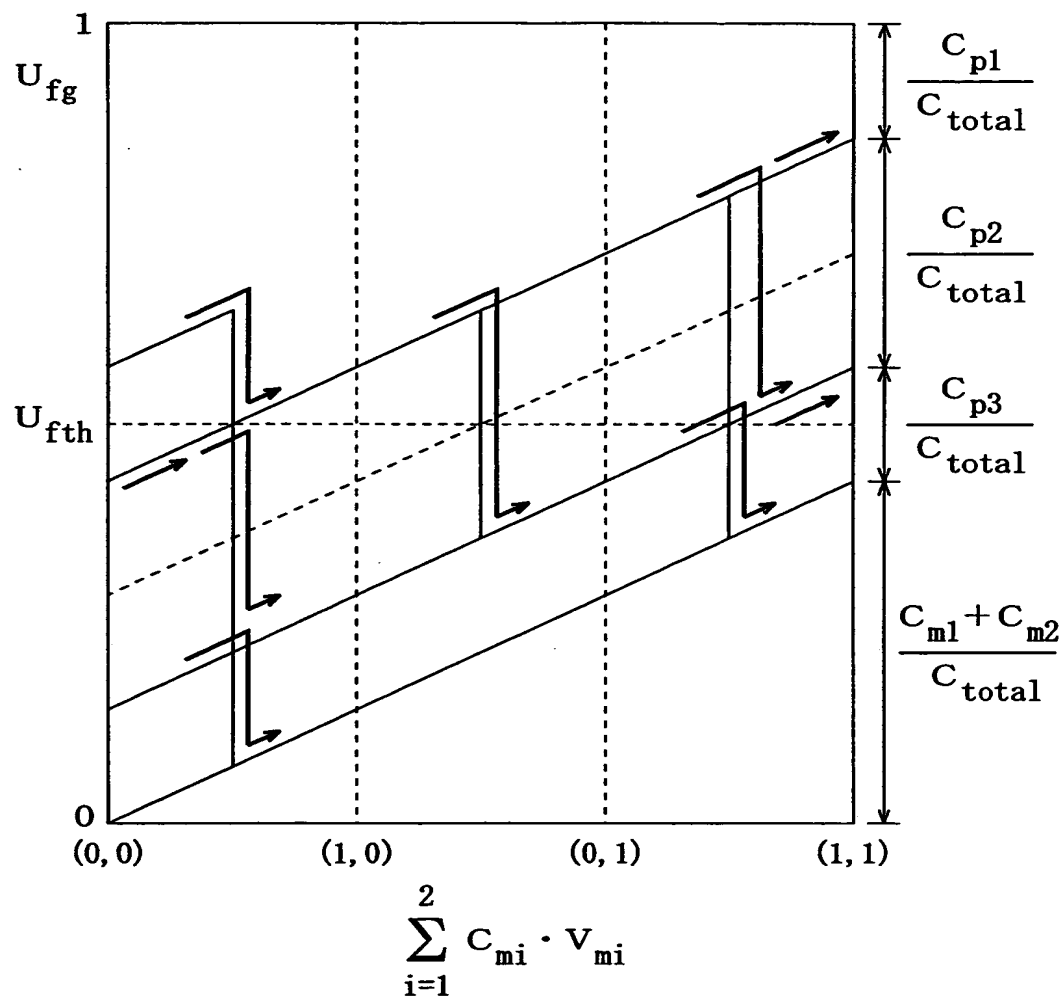


【図 1 3】

I C 3 : 論理関数機能再構成可能な集積回路



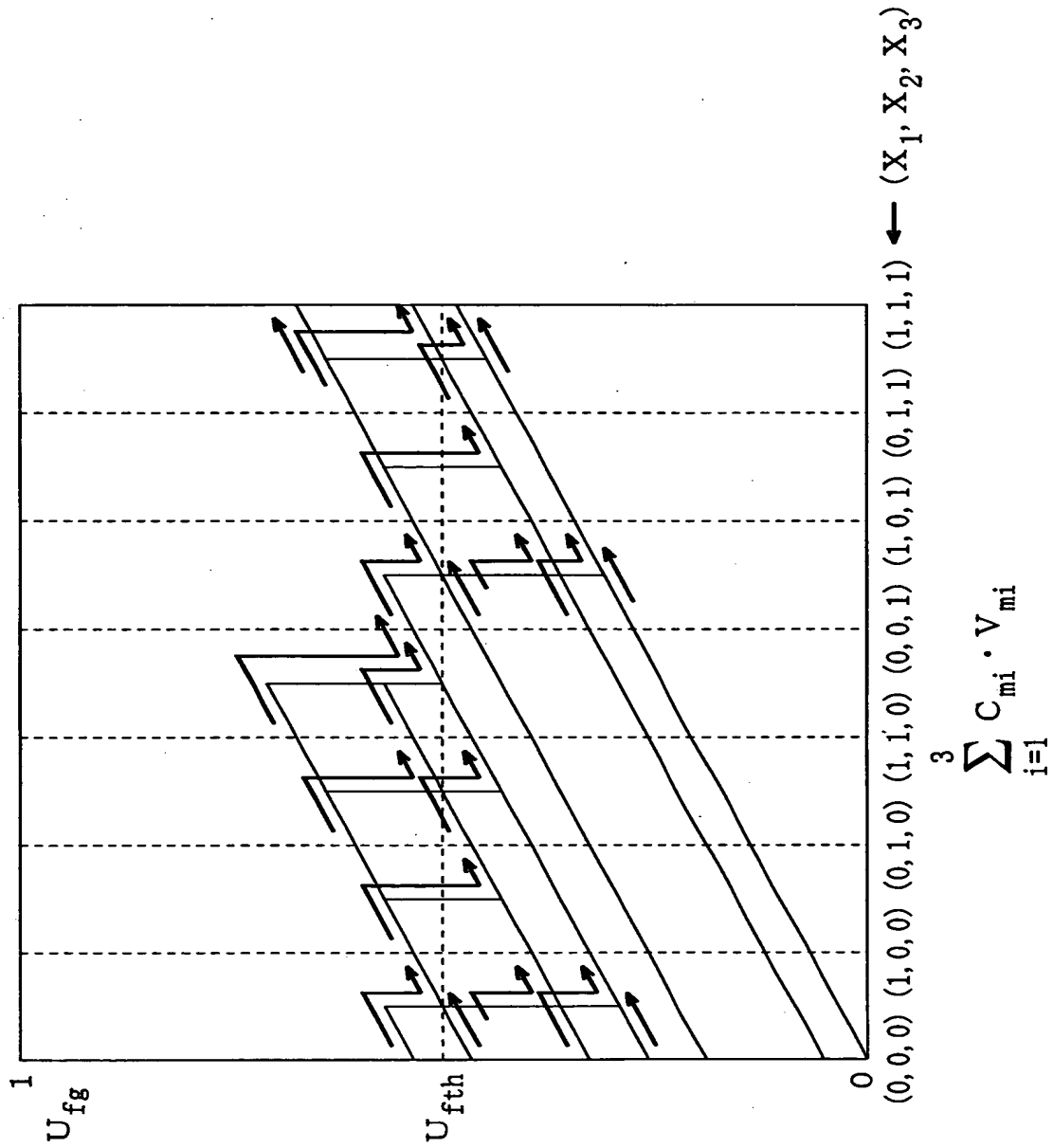
【図 14】



【図 15】

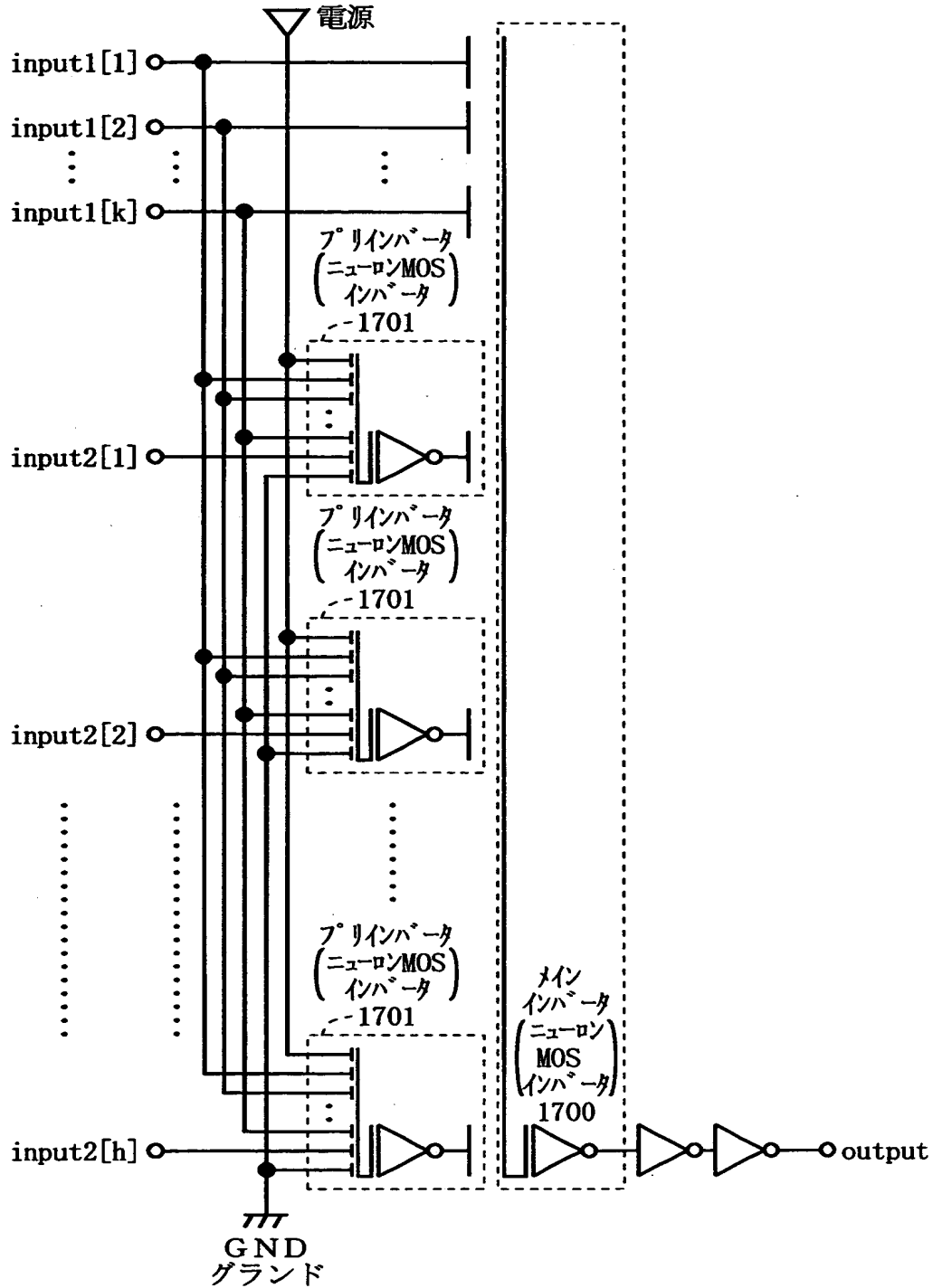
入力変数 (X_1, X_2)	$U_{fg} (Y_{p2}, Y_{p3})$							
	#0 (NULL)	#1 (AND)	#2	#3	#4	#5	#6 (XOR)	#7 (OR)
(0, 0)	0 (1, 1)	0 (1, 1)	0 (1, 1)	0 (1, 1)	0 (1, 1)	0 (1, 1)	0 (1, 1)	0 (1, 1)
(1, 0)	0 (0, 0)	0 (0, 1)	0 (1, 0)	0 (1, 0)	1 (1, 1)	1 (1, 1)	1 (1, 1)	1 (1, 1)
(0, 1)	0 (0, 0)	0 (0, 1)	1 (1, 0)	1 (1, 0)	0 (0, 1)	0 (0, 1)	1 (1, 1)	1 (1, 1)
(1, 1)	0 (0, 0)	1 (0, 1)	0 (0, 0)	1 (1, 0)	0 (0, 0)	1 (0, 1)	0 (0, 0)	1 (1, 1)

【図 16】

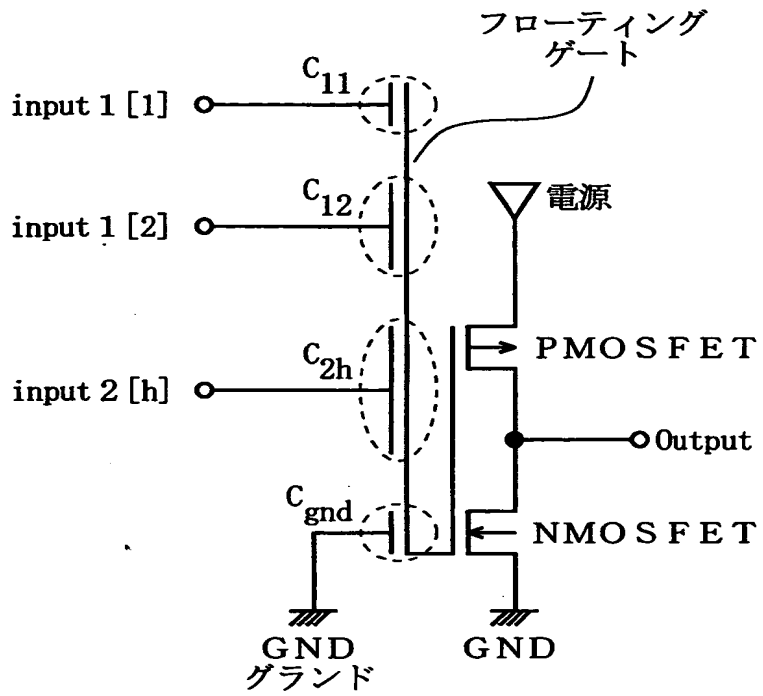


【図 1 7】

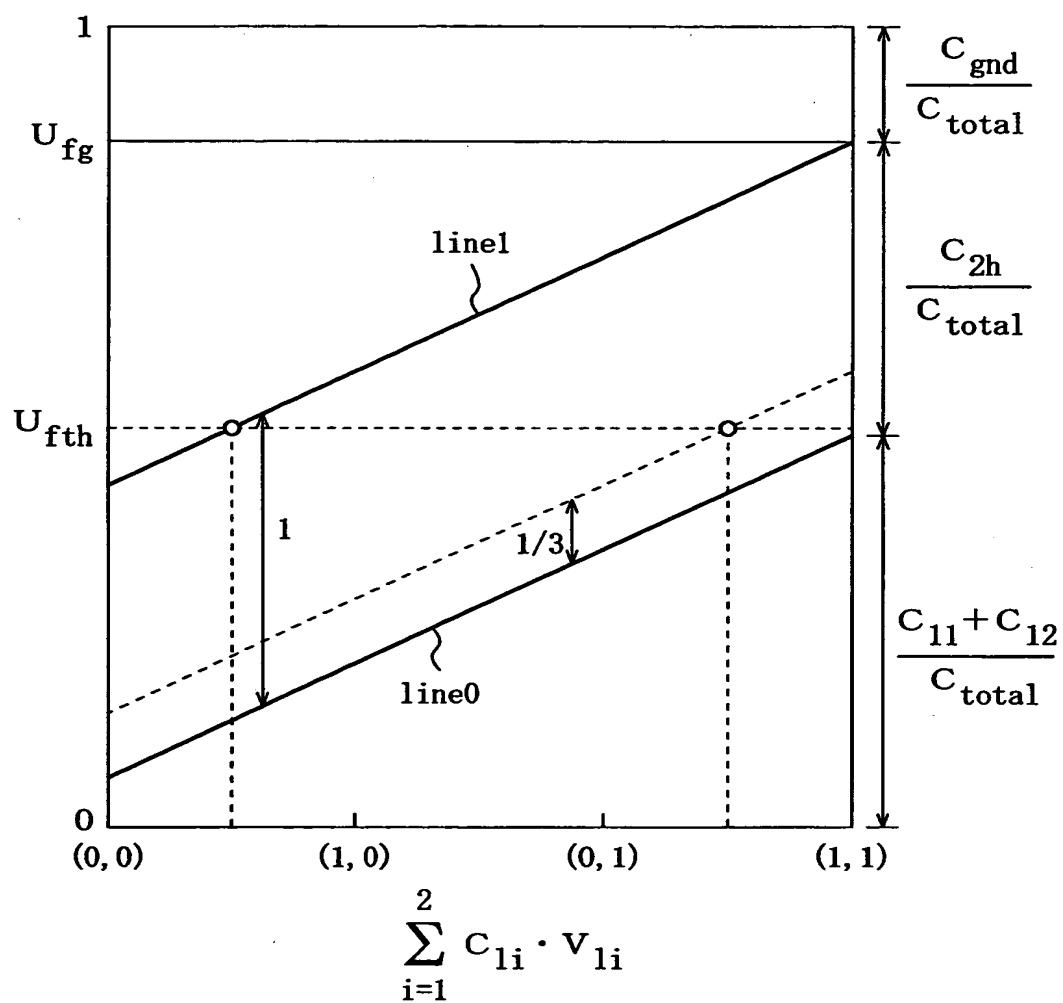
I C 4 : 論理関数機能再構成可能な集積回路



【図 18】

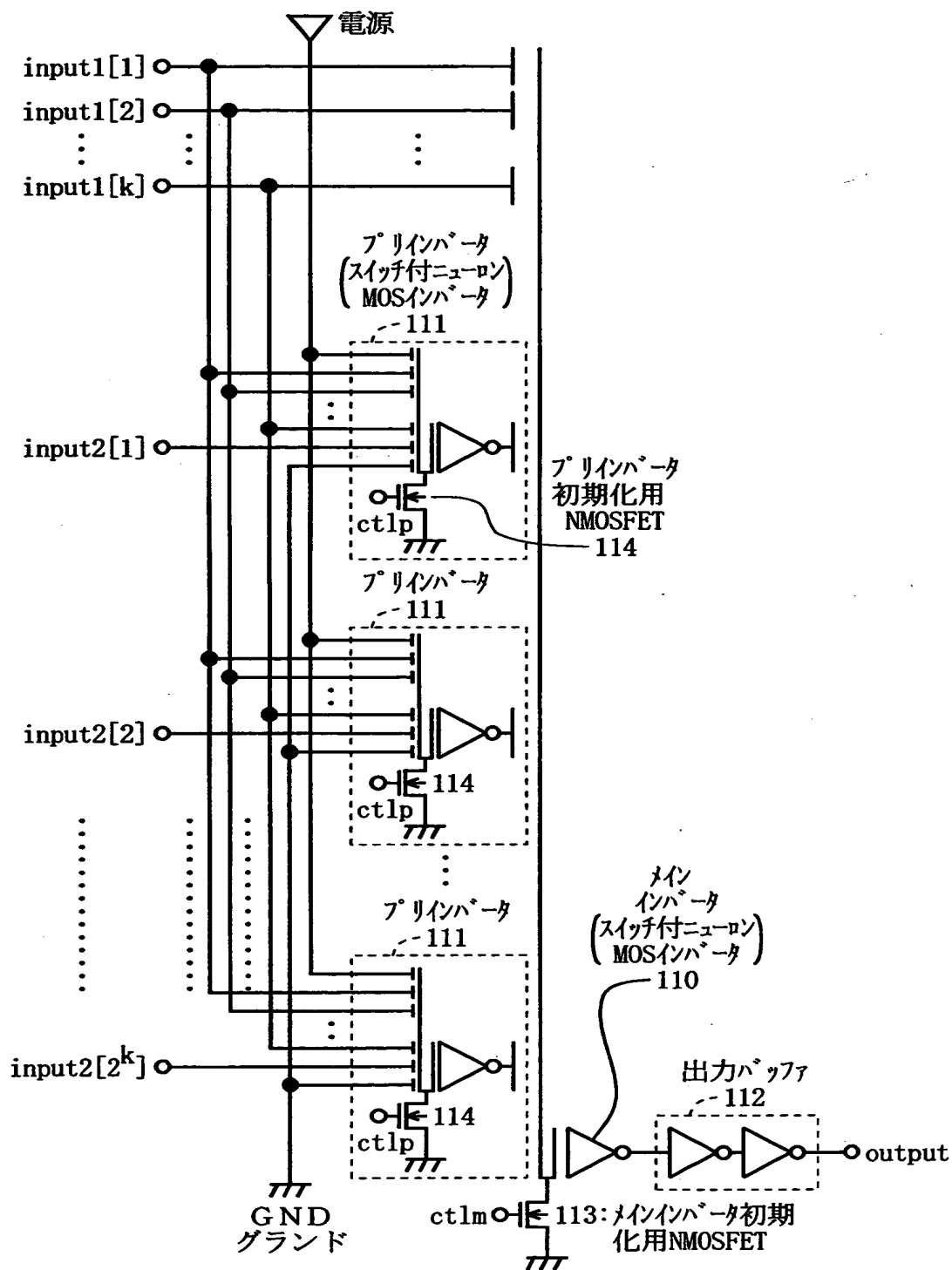


【図19】



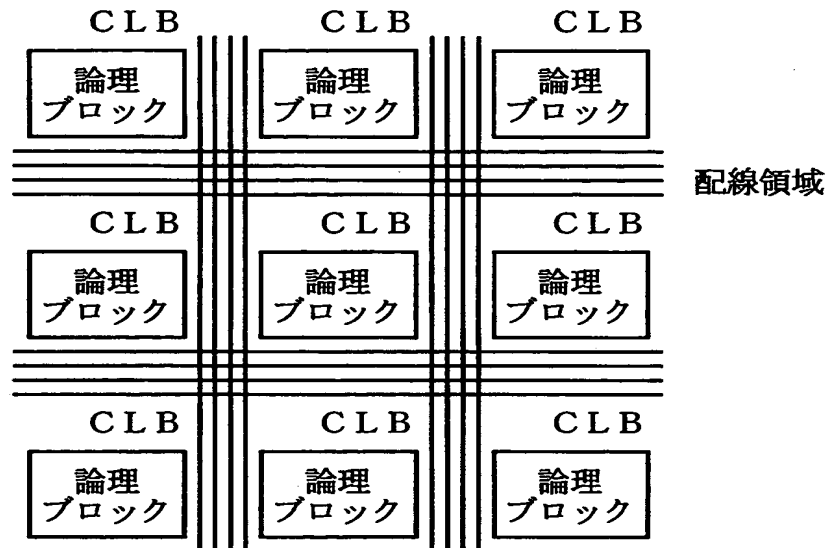
【図 20】

IC1a : 論理関数機能再構成可能な集積回路



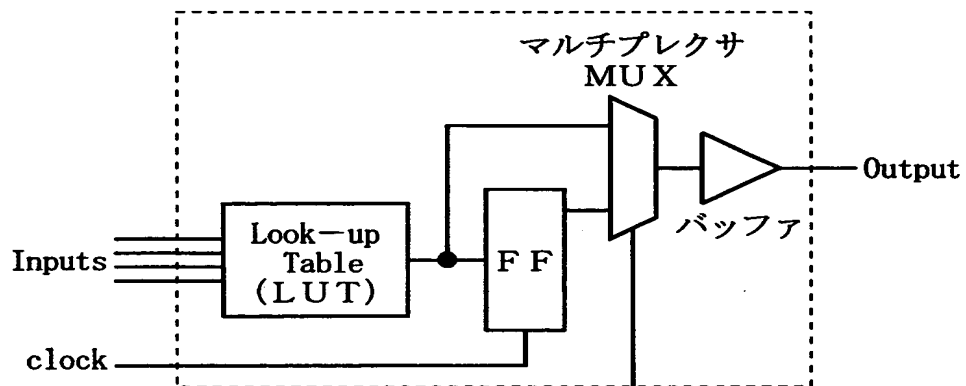
【図 21】

(1)



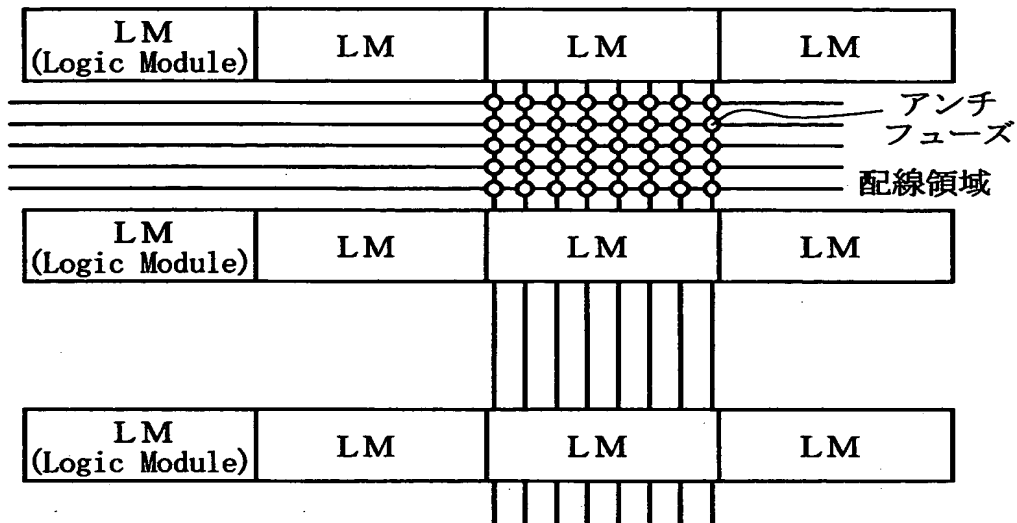
(2)

CLB

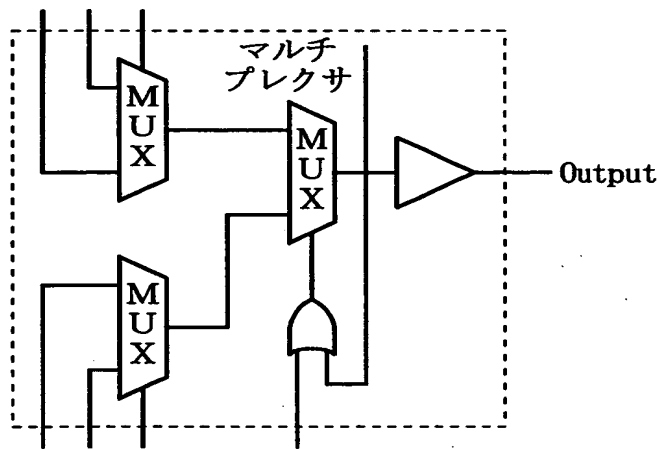


【図 22】

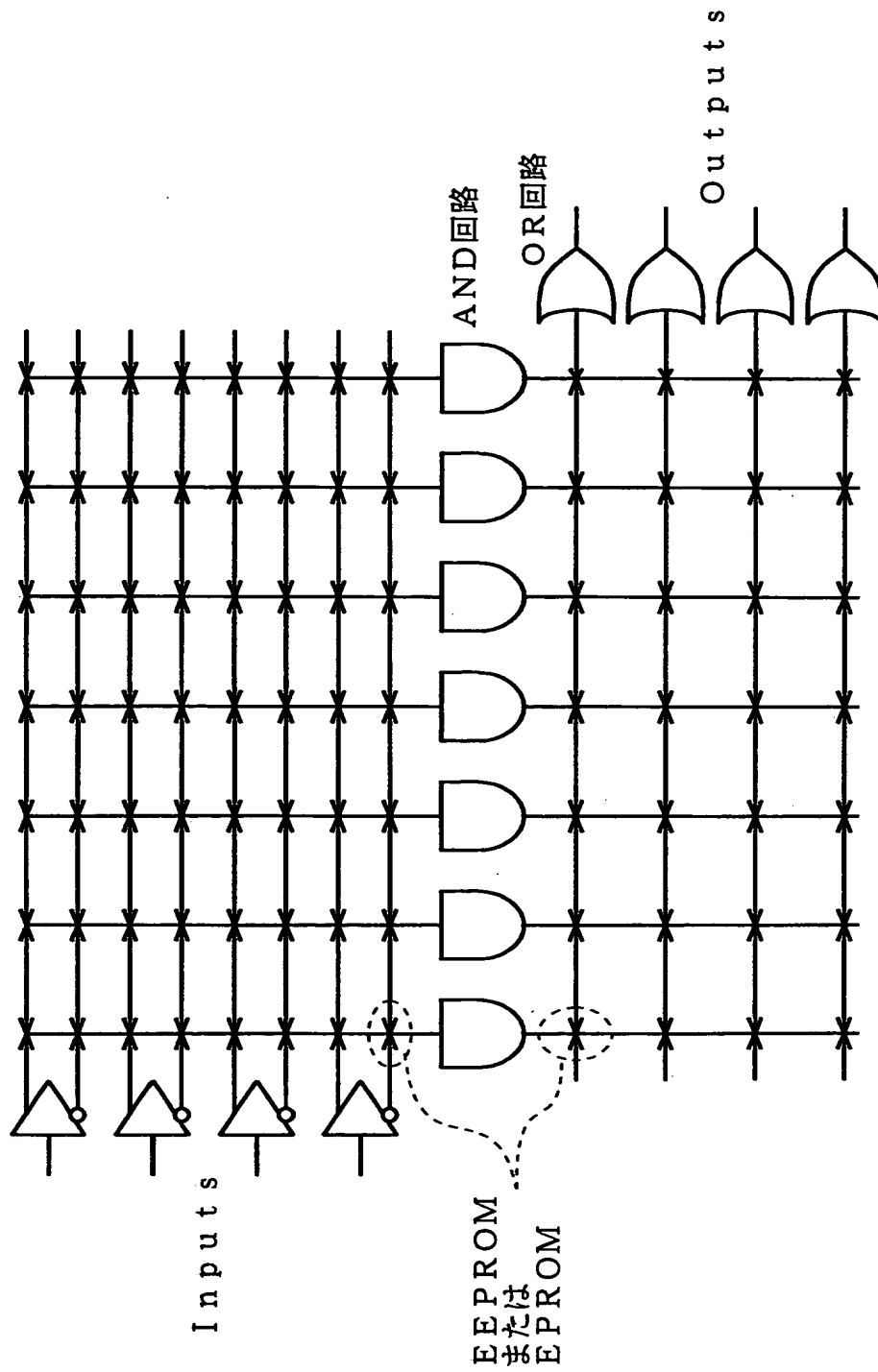
(1)



(2) LM

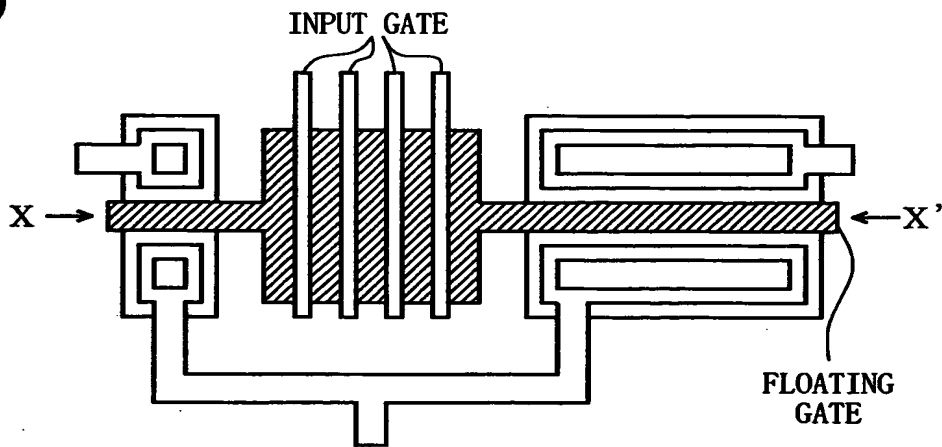


【図 23】

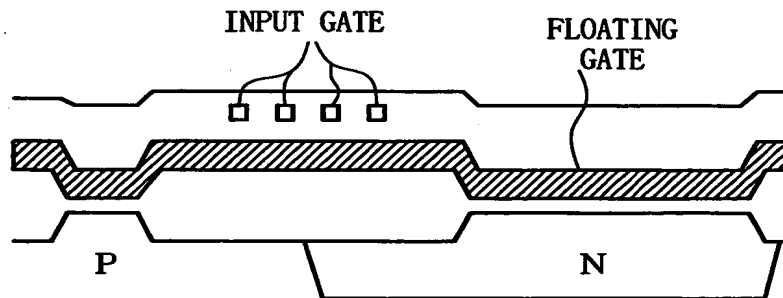


【図 24】

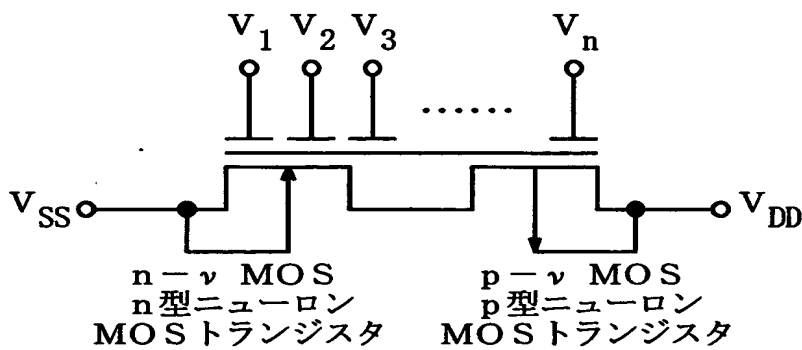
(1)



(2)

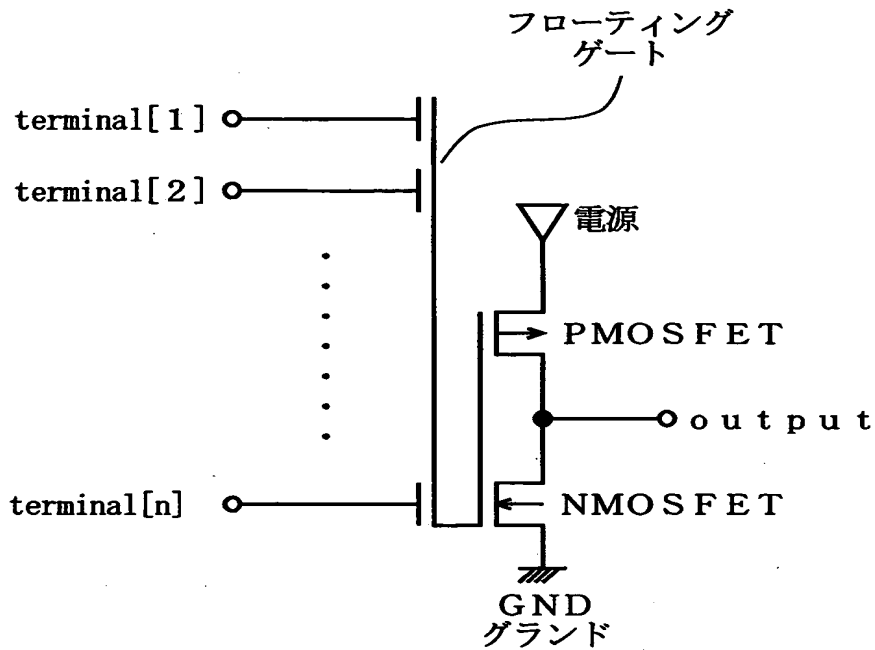


(3)

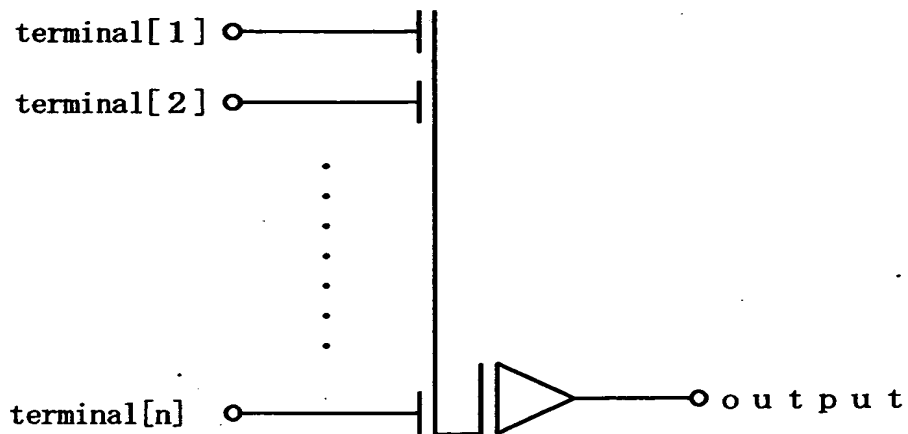


【図25】

(1) ニューロンMOSインバータ



(2) ニューロンMOSインバータ



【書類名】 要約書

【要約】

【課題】 論理関数の中の対称関数のみならず、任意の k 入力変数論理関数を、ニューロン MOS 回路を用いて、効率的に実現する方法および論理関数機能を有するニューロン MOS 回路を提供することを目的とするものである。

【解決手段】 k 個の入力変数のそれぞれに対する重みを所定の方法で決定することによって、各入力ベクトルを識別することができ、2 値の論理関数機能構成データを使用する際には、各入力ベクトルに対して、1 対 1 対応するプリインバータを決め、その対応するプリインバータの出力信号の論理的値と、論理関数機能構成データである第 2 の入力信号の論理的値とを対応づけ、一方、プリインバータの出力信号の論理的値と、メインインバータの出力信号の論理的値とを 1 対 1 対応させることによって、任意の論理関数機能を実現するものである。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1999年 7月15日
[変更理由] 住所変更
住 所 東京都千代田区大手町二丁目3番1号
氏 名 日本電信電話株式会社